

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Naoya SASHIDA et al.

Serial Number: Not Yet Assigned

Customer No.: 38834

Filed: October 29, 2003

For: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents

P. O. Box 1450

Alexandria, VA 22313-1450

October 29, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

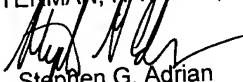
Japanese Appln. No. 2002-316894, filed on October 30, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



Stephen G. Adrian
Reg. No. 32,878

Atty. Docket No.: 032061

Suite 700

1250 Connecticut Avenue, N.W.

Washington, D.C. 20036

Tel: (202) 822-1100

Fax: (202) 822-1111

SGAyap

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: 2002年10月30日

出願番号
Application Number: 特願2002-316894
[ST.10/C]: [JP2002-316894]

出願人
Applicant(s): 富士通株式会社

2003年 5月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3034257

【書類名】 特許願
 【整理番号】 0241481
 【提出日】 平成14年10月30日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/108
 C23C 28/00
 【発明の名称】 半導体装置の製造方法
 【請求項の数】 10
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 佐次田 直也
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 松浦 克好
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 堀井 義正
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 倉澤 正樹
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 高井 一章

【特許出願人】

【識別番号】 000005223
【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100091672
【弁理士】
【氏名又は名称】 岡本 啓三
【電話番号】 03-3663-2663

【手数料の表示】

【予納台帳番号】 013701
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 9704683
【フルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】半導体基板の上方に絶縁膜を形成する工程と、
水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜
に照射する工程と、

前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程
と、

前記自己配向層の上に自己配向性を有する導電物質からなる第1の導電膜を形
成する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項2】前記ガスはアンモニアガスであることを特徴とする請求項1に
記載の半導体装置の製造方法。

【請求項3】前記プラズマを前記絶縁膜に照射した後に、前記絶縁膜を真空
雰囲気に置いた状態を維持しつつ、前記自己配向層が前記絶縁膜上に形成される
ことを特徴とする請求項1又は請求項2に記載の半導体装置の製造方法。

【請求項4】前記プラズマを前記絶縁膜に照射した後であって前記自己配向
膜の形成前に、前記絶縁膜の表面を脱水することを特徴とする請求項1乃至請求
項3のいずれかに記載の半導体装置の製造方法。

【請求項5】前記第1の導電膜と前記自己配向層をパターニングして導電パ
ターンを形成する工程をさらに有することを特徴とする請求項1乃至請求項4の
いずれかに記載の半導体装置の製造方法。

【請求項6】前記プラズマを前記絶縁膜に照射する前に、前記絶縁膜のうち
前記導電パターンが形成される領域の一部の下にホールを形成し、さらに該ホー
ル内に導電性プラグを形成する工程を有することを特徴とする請求項5に記載の
半導体装置の製造方法。

【請求項7】前記導電パターンを形成する領域の一部には、前記絶縁膜から
露出する島状の酸素バリアメタルが形成され、前記酸素バリアメタルの下には導
電プラグが形成されていることを特徴とする請求項5に記載の半導体装置の製造

方法。

【請求項8】前記第1の導電膜の上に強誘電体膜を形成する工程と、

前記強誘電体膜の上に第2の導電膜を形成する工程と、

前記第2の導電膜をパターニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体膜をパターニングして少なくとも前記キャパシタ上部電極の下に残す工程と、

前記第1の導電膜及び前記自己配向層をパターニングすることにより少なくとも前記キャパシタ上部電極の下方にキャパシタ下部電極を形成する工程と

も前記キャパシタ上部電極を有することを特徴とする請求項1乃至請求項7のいずれかに記載の半導体装置の製造方法。

【請求項9】前記強誘電体膜は、基板温度を600～650°Cに設定してMOCVD法により形成されることを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】前記強誘電体膜を構成するグレインの90%以上が(111)配向を有することを特徴とする請求項9に記載の半導体装置の製造方法

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、より詳しくは、キャパシタを有する半導体装置の製造方法に関する。

【0002】

【従来の技術】

電源を切っても情報を記憶することができる不揮発性メモリとして、フラッシュメモリや強誘電体メモリ(FeRAM)が知られている。

【0003】

フラッシュメモリは、絶縁ゲート型電界効果トランジスタ(IGFET)のゲート絶縁膜中に埋め込んだフローティングゲートを有し、記憶情報を表す電荷をフローティングゲートに蓄積することによって情報を記憶する。情報の書き込みにはゲート絶縁膜を通過するトンネル電流を流す必要があり、比較的高い電圧

を必要とする。

【0004】

F e R A Mは、強誘電体のヒステリシス特性を利用して情報を記憶する強誘電体キヤバシタを有する。強誘電体キヤバシタにおいて上部電極と下部電極の間に形成される強誘電体膜は、上部電極及び下部電極の間に印加する電圧に応じて分極を生じ、印加電圧を取り去っても分極を保持する自発分極を有する。

【0005】

印加電圧の極性を反転すれば、自発分極の極性も反転する。この自発分極の極性、大きさを検出すれば情報を読み出すことができる。F e R A Mは、フラッシュメモリに比べて低電圧で動作し、省電力で高速の書きができるという利点がある。

【0006】

F e R A Mのメモリセルに使用されるキヤバシタの構造として、例えば下記の特許文献1には、S i 基板上アモルファスSiO₂上に直接もしくはT i、T a等のバッファ層を介してP t 薄膜電極、P Z T 強誘電体膜、上部電極を順に形成した構造が記載されている。

【0007】

従来、絶縁膜上にTiなどの自己配向性のある膜を成膜する場合、配向性を上げる工夫は、Tiの成膜時にガス種を変える方法が一般的である。

【0008】

例えば、下記の非特許文献1には、Tiのスパッタ中にH₂O を添加する方法が記載されている。非特許文献1では、Tiのスパッタ中にH₂O を添加して、Ti膜の(002)の配向強度を上げることができる実験結果が示されている。

【0009】

【特許文献1】

特開平9-53188号公報（第3頁、図1）

【非特許文献1】

Jpn.J.Appl.Phys.Vol.36(1997) pp.L154-L157 part 2, No. 2A, 1 February 1997

ry 1997

【0010】

【発明が解決しようとする課題】

しかし、そのようなTi膜の形成方法によれば、スパッタ中のTi膜の周囲の雰囲気内にH₂Oが必ず存在するため、ピュアな膜質が得られにくいと考えられる。

【0011】

非特許文献1の中では、初期成膜だけH₂Oを導入し、その後の成膜では導入せずにTi膜を形成する方法も検討されている。そうすれば、Ti膜の後半の膜質を良質にすることが可能であると考えられている。

【0012】

しかし、H₂Oの導入を断ってもしばらくはH₂OがTi成膜用のチャンバ内部に残るために、Ti膜上部へのH₂Oの混入を完全に避けることは不可能である。

【0013】

また、Tiのターゲットにも反応性ガス(H₂O)が付着するので、影響が長時間残ると考えられる。そのターゲットに付着する反応性ガス(H₂O)により、ターゲット表面の改質がおこり、Tiが形成されるウェハの処理枚数が増えたときに安定して同じ膜質を供給できるか不安である。

【0014】

それ以外の懸念点としては、チャンバ内にH₂Oを入れると、ダーカスペースシリード部分が絶縁物(Ti酸化物)で覆われて異常放電の原因になり、チャンバ内で安定したプラズマを維持できなくなる可能性がある。

【0015】

また、非特許文献1の中では、SiO₂表面をO-H結合で終端させているが、O-H結合自体が不安定であり、Si-O基10個に対してSi-OH基1個の存在が表面で安定であるため、絶縁膜の表面で水素終端の密度を上げにくい。なお、Ti膜は、H₂Oにより酸化される。

【0016】

本発明の目的は、キャパシタ下部電極を構成する導電膜の膜質を改善して、キャパシタ下部電極の上に形成される誘電体膜の特性を良好ににすることができる半導体装置の製造方法を提供することにある。

【0017】

【課題を解決するための手段】

上記した課題は、半導体基板の上方に絶縁膜を形成する工程と、水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜に照射する工程と、前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程と、前記自己配向層の上に自己配向性を有する導電物質からなる第1の導電膜と、前記自己配向層の上に自己配向性を有することを特徴とする半導体装置の製造方法によって解決を形成する工程とを有することを特徴とする半導体装置の製造方法によって解決される。

【0018】

本発明によれば、水素と窒素が結合した分子構造を有するガス、例えばNH₃ガスのプラズマを絶縁膜上に照射し、その後に絶縁膜上に自己配向性を有する自己配向膜を形成すると、自己配向膜はそれ自身で配向性が良くなつて成長し、さらに、自己配向膜は、その上に形成される導電膜や強誘電体材料のような機能膜に働きかけてその膜を良好な結晶とする。

【0019】

【発明の実施の形態】

以下に、本発明の実施形態を図面に基づいて説明する。

(第1の実施の形態)

図1～図10は、本発明の第1の実施形態に係る半導体装置の製造工程を示す断面図である。

【0020】

図1に示す構造を形成するまでの工程について説明する。

【0021】

まず、図1に示すように、n型又はp型のシリコン(半導体)基板1表面に素子分離絶縁層2をLOCOS(Local Oxidation of Silicon)法により形成する。素子分離絶縁層2としては、LOCOS法により形成される構造の他に、STI(Shallow Trench Isolation)構造を採用してもよい。

【0022】

そのような素子分離絶縁膜2を形成した後に、シリコン基板1のメモリセル領

域Aと周辺回路領域Bにおける所定の活性領域（トランジスタ形成領域）にp型不純物、n型不純物を選択的に導入して、pウェル3a及びnウェル3bを形成する。なお、周辺回路領域BではCMOSを形成ためにnウェル3bのみならずpウェル（不図示）も形成される。

【0023】

その後、シリコン基板1の活性領域表面を熱酸化して、ゲート絶縁膜4となるシリコン酸化膜を形成する。

【0024】

次に、シリコン基板1の上側全面に非結晶質又は多結晶のシリコン膜を形成し、ついで不純物イオン注入によりシリコン膜を低抵抗化する。その後に、シリコン膜をフォトリソグラフィ法により所定の形状にパターンニングして、ゲート電極5a, 5b, 5c及び配線5dを形成する。

【0025】

メモリセル領域Aでは、1つのpウェル3a上には2つのゲート電極5a, 5bがほぼ平行に間隔をおいて配置され、それらのゲート電極5a, 5bはワード線WLの一部を形成している。

【0026】

次に、メモリセル領域Aにおいて、ゲート電極5a, 5bの両側のpウェル3a内にn型不純物をイオン注入して、nチャネルMOSトランジスタのソース／ドレインとなる3つのn型不純物拡散領域6aを形成する。これと同時に、周辺回路領域Bのpウェル（不図示）にもn型不純物拡散領域を形成する。

【0027】

続いて、周辺回路領域Bにおいて、nウェル3bのうちゲート電極5cの両側にp型不純物をイオン注入して、pチャネルMOSトランジスタのソース／ドレインとなるp型不純物拡散領域6bを形成する。

【0028】

続いて、シリコン基板1の全面に絶縁膜を形成した後、その絶縁膜をエッチバックしてゲート電極5a～5cの両側部分にのみ側壁絶縁膜7として残す。その絶縁膜として、たとえばCVD法により酸化シリコン（SiO₂）を形成する。

【0029】

さらに、ゲート電極5a～5cと側壁絶縁膜7をマスクに使用して、pウェル3a内に再びn型不純物イオンを注入することにより、n型不純物拡散領域6aをLDD構造にし、更にnウェル3b内に再びp型不純物イオンを注入することによりp型不純物拡散領域6bもLDD構造とする。

【0030】

なお、n型不純物とp型不純物の打ち分けは、レジストパターンを使用して行われる。

【0031】

以上のように、メモリセル領域Aでは、pウェル3aとゲート電極5a, 5bとその両側のn型不純物拡散領域6a等によってn型MOSFETが構成され、また、周辺回路領域Bでは、nウェル3bとゲート電極5cとその両側のp型不純物拡散領域6b等によってp型MOSFETが構成される。

【0032】

次に、全面に高融点金属膜、例えば、Ti, Coの膜を形成した後に、この高融点金属膜を加熱してn型拡散領域6a、p型不純物拡散領域6bの表面にそれぞれ高融点金属シリサイド層8a, 8bを形成する。その後、ウェットエッチにより未反応の高融点金属膜を除去する。

【0033】

次に、プラズマCVD法により、シリコン基板1の全面にカバー膜9として酸窒化シリコン(SiON)膜を約200nmの厚さに形成する。さらに、TEOSガスを用いるプラズマCVD法により、第1の層間絶縁膜10として二酸化シリコン(SiO₂)をカバー膜9上に約1.0μmの厚さに成長する。なお、TEOSガスを用いるプラズマCVD法により形成される絶縁膜を、以下に、PE-TEOSともいう。

【0034】

続いて、第1の層間絶縁膜10上面を化学的機械研磨(CMP; Chemical Mechanical Polishing)法により研磨して平坦化する。

【0035】

次に、図2(a)に示す構造を形成するまでの工程を説明する。

【0036】

まず、アンモニア(NH_3)ガスのプラズマにより、平坦化された第1の層間絶縁膜10表面を改質する。なお、 NH_3 ガスのプラズマにより絶縁膜の表面を改質する処理を、以下に NH_3 プラズマ処理ともいう。

【0037】

この工程における NH_3 プラズマ処理の条件として、例えば、チャンバ内に導入される NH_3 のガス流量を350 sccm、チャンバ内の圧力を1 Torr、基板温度を400°C、基板に供給される13.56 MHzの高周波電源のパワーを100 W、プラズマ発生領域に供給される350 kHzの高周波電源のパワーを55 W、電極・第1の層間絶縁膜間の距離を350 mils、プラズマ照射時間を60秒に設定する。

【0038】

その後に、図2(b)に示すように、第1の層間絶縁膜10の上に自己配向性を有する物質からなる中間層(自己配向層)11を形成する。中間層11は例えば次のような工程により形成される。

【0039】

まず、DCスパッタ法によって厚さ20 nmのチタン(Ti)膜を第1の層間絶縁膜10上に形成し、続いて、RTA(rapid thermal annealing)によりTi膜を酸化して酸化チタン(TiO_x)膜を形成し、この TiO_x 膜を中間層11とする。

【0040】

Ti膜の酸化条件として、例えば、基板温度を700°C、酸化時間を60秒間、酸化雰囲気中の酸素(O_2)とアルゴン(Ar)をそれぞれ1%、99%に設定する。なお、Ti膜は酸化されずにそのままの状態で中間層11として使用されてもよい。

【0041】

この中間層11は、この後に形成される第1の導電膜の配向強度を高める要素と、さらに第1の導電膜の上に成膜されるPZT系強誘電体膜中のPbの下への拡散をブロックする働きがある。また、中間層11は、次に形成される第1の導電膜をブロックする働きがある。

膜12と第1の層間絶縁膜10との密着性を向上する働きもある。

【0042】

中間層11を構成する自己配向性を有する物質としては、Tiの他に、アルミニウム(Al)、シリコン(Si)、銅(Cu)、タンタル(Ta)、窒化タンタル(TaN)、イリジウム(Ir)、酸化イリジウム(IrO_x)、プラチナ(Pt)などがある。以下の実施形態においても、中間層はこれらのいずれかの材料から選択される。次に、図3(a)に示す構造を形成するまでの工程を説明する。

【0043】

まず、中間層11上に、第1の導電膜12としてPt膜をスパッタ法で175nmの厚さに成膜する。Pt膜の成膜条件として、Arガス圧を0.6Pa、DCパワーを1kW、基板温度を100°Cに設定する。ターゲットはプラチナである。

【0044】

なお、第1の導電膜12として、イリジウム、ルテニウム、酸化ルテニウム、酸化ルテニウムストロンチウム($SrRuO_3$)等の膜を形成しても良い。本実施形態及び以下の実施形態において、第1の導電膜は自己配合性を有する物質から構成する。

【0045】

次に、スパッタリング法により、PZT($(Pb(Zr_{1-x}Ti_x)O_3)$)にランタン(La)が添加されたPLZT(lead lanthanum zirconate titanate; $(Pb_{1-3x/2}La_x)(Zr_{1-y}Ti_y)O_3$)を第1の導電膜12の上に100~300nm、例えば240nmの厚さに形成し、これを強誘電体膜13として使用する。なお、PLZT膜にはカルシウム(Ca)とストロンチウム(Sr)を添加することもある。

【0046】

続いて、酸素雰囲気中にシリコン基板1を置き、RTAによってPLZT膜を結晶化する。その結晶化の条件として、例えば、基板温度を585°C、処理時間20秒間、昇温速度を125°C/secに設定し、酸素雰囲気に導入される O_2 とArの割合を2.5%と97.5%とする。

【0047】

強誘電体膜13の形成方法としては、上記したスパッタ法の他にスピノン法

、ソルゲル法、MOD(Metal Organic De position)法、MOCVD法がある。また、強誘電体膜13の材料としてはPLZTの他に、PZT、SrBi₂(Ta_xNb_{1-x})₂O₉(但し、 $0 < x \leq 1$)、Bi₄Ti₂O₁₂などがある。なお、DRAMを形成する場合には、上記の強誘電体材料に代えて(BaSr)TiO₃(BST)、チタン酸ストロンチウム(STO)等の高誘電体材料を使用すればよい。

【0048】

次に、図3(b)に示すように、強誘電体膜13上に第2の導電膜14を形成する。第2の導電膜14は、2ステップによって形成される。

【0049】

まず、強誘電体膜13上に、第2の導電膜14の下側導電層14aとして酸化イリジウム(IrO_x)膜をスパッタリング法により20~75nm、例えば50nmの厚さに形成する。その後、酸素雰囲気内でRTAにより強誘電体膜13の基結晶化と下側導電層14aへのアニール処理を行う。RTAの条件として、基板温度を725°C、処理時間を1分間とともに、酸素雰囲気に導入されるO₂とArの割合をそれぞれ1%と99%とする。

【0050】

続いて、第2の導電膜14の上側導電層14bとして酸化イリジウム(IrO_x)膜を下側導電層14a上にスパッタリング法により100~300nm、例えば200nmの厚さに形成する。

【0051】

なお、第2の導電膜14の上側導電層14bとして、プラチナ膜又は酸化ルテニウムストロンチウム(SRO)膜をスパッタ法により形成してもよい。

【0052】

次に、図4(a)に示す構造を形成するまでの工程を説明する。

【0053】

まず、上部電極平面形状のレジストパターン(不図示)を第2の導電膜14上に形成した後に、そのレジストパターンをマスクに使用して第2の導電膜14をエッチングし、残された第2の導電膜14をキャパシタの上部電極14cとして使用する。

【0054】

そして、そのレジストパターンを除去した後に、650°C、60分間の条件で強誘電体膜13を酸素雰囲気中でアニールする。このアニールは、第2の導電膜14の上側導電層14bのスパッタリング時及び第2の導電膜14のエッチング時に強誘電体膜13に入ったダメージを元に回復させるために行われる。

【0055】

続いて、メモリセル領域Aにおいてキャパシタ上部電極14c及びその周辺にレジストパターン（不図示）を形成した状態で、強誘電体13をエッチングし、これにより上部電極14cの下に残った強誘電体膜13をキャパシタの誘電体膜13aとして使用する。

【0056】

そして、レジストパターン（不図示）を除去した状態で強誘電体膜13を窒素酸素雰囲気中でアニールする。例えばこのアニールは、強誘電体膜13及びその下の膜に吸収された水分等を脱ガスするために行われる。

【0057】

次に、図4(b)に示すように、上部電極14c、誘電体膜13a及び第1の導電膜12の上に、第1のエンキャップ層15として Al_2O_3 膜をスパッタリング法により50nmの厚さに常温下で形成する。この第1のエンキャップ層15は、還元され易い誘電体膜12aを水素から保護して、水素がその内部に入ることをブロックするために形成される。

【0058】

なお、第1のエンキャップ層15として、PZT膜、PLZT膜または酸化チタンを成膜してもよい。エンキャップ層としての Al_2O_3 、PZT膜、PLZT膜または酸化チタンは、MOCVDにて成膜しても良く、またスパッタリングとMOCVDといった2つの方法により形成した積層膜にても良い。第1のエンキャップ層15が積層膜の場合は、キャパシタの劣化を考慮して、スパッタリングで Al_2O_3 を先に形成することが好ましい。

【0059】

その後に、酸素雰囲気中で550°C、60分間の条件で、第1のエンキャップ

層15を熱処理してその膜質を改善する。

【0060】

次に、第1のエンキャップ層15の上にレジスト（不図示）を塗布し、これを露光、現像して上部電極14c及び誘電体膜13aの上にとその周辺に下部電極平面形状に残す。そして、レジストをマスクに使用して、第1のエンキャップ層15、第1の導電膜12及び中間層11をエッティングし、これにより残った第1の導電膜12をキャパシタの下部電極11aとして使用する。なお、中間層11も下部電極11aを構成する。エンキャップ層15、第1の導電膜12及び中間層11のエッティングは、塩素、臭素などのハロゲン元素を用いたドライエッティングにより行われる。

【0061】

レジストを除去した後に、上部電極14c、誘電体膜13a等を酸素雰囲気中で350℃、30分間の条件でアニールする。これは、後工程で形成される膜のはがれ防止を目的としている。

【0062】

これにより、図5(a)に示すように、第1の層間絶縁膜10の上には、下部電極11a(第1の導電膜12/中間層11)、誘電体膜13a、上部電極14c(第2の導電膜)からなるキャパシタQが形成されることになる。

【0063】

次に、図5(b)に示す構造を形成するまでの工程を説明する。

【0064】

まず、第2のエンキャップ層15aとして Al_2O_3 膜をスパッタリング法により20nmの厚さに成膜して、キャパシタQ及び第1の層間絶縁膜10を覆う。第2のエンキャップ層15aとして、第1のエンキャップ層15で採用される他の材料を用いててもよい。続いて、酸素雰囲気中で650℃、60分間の条件で、強誘電体膜13aをアニールしてダメージから回復させる。

【0065】

続いて、エンキャップ層15aの上に、第2の層間絶縁膜16として膜厚1500nmの SiO_2 膜をCVD法により成膜する。第2の層間絶縁膜16の成長は、

成膜ガスとしてシラン (SiH_4) やポリシラン化合物 (Si_2F_6 , Si_3F_8 , $\text{Si}_2\text{F}_3\text{Cl}$ 等) および SiF_4 を用いても良いし、TEOS を用いても良い。成膜方法は、プラズマ励起 (ECR 法: Electron cyclotron Resonance, ICP 法: Inductively Coupled Plasma, HDP : High Density Plasma, EMS : Electron Magneto-Sonic) や熱励起、レーザー光による励起方式でも良い。

【0066】

その後、図6(a) に示すように、第2の層間絶縁膜16上面を CMP 法により平坦化する。第2の層間絶縁膜16の表面の平坦化は、上部電極14aの上面から 400 nm の厚さとなるまで行われる。この CMP 法による平坦化の際に使用されるスラリー中の水分や、その後の洗浄時に使用される洗浄液中の水分は、第2の層間絶縁膜15表面に付着したりその内部に吸収される。

【0067】

そこで、真空チャンバ（不図示）中で温度 390°C で第2の層間絶縁膜16を加熱することにより、その表面および内部の水分を外部に放出させる。このような脱水処理の後に、第2の層間絶縁膜16を加熱しながら N_2O プラズマに曝して脱水とともに膜質を改善する。これにより、後工程での加熱と水によるキヤバシタの劣化が防止される。そのような脱水処理とプラズマ処理は同じチャンバ（不図示）内において行ってもよい。そのチャンバ内には、シリコン基板1を載せる支持電極とこれに対向する対向電極が配置され、対向電極には高周波電源が接続可能な状態となっている。そして、チャンバ内に N_2O ガスを導入した状態で、対向電極に高周波電源を印加し、電極間に N_2O プラズマを発生させて絶縁膜の N_2O プラズマ処理を行う。その N_2O プラズマ処理によれば、絶縁膜の少なくとも表面には窒素が含まれる。そのような方法は以下の工程において採用されてもよい。脱水処理に続くプラズマ処理の際には N_2O プラズマを使用することが好ましいが、 NO プラズマ、 N_2 プラズマ等を使用してもよく、このことについては後述する工程でも同様である。なお、脱水処理の基板温度とプラズマ処理の基板温度はほぼ同じとなる。

【0068】

次に、図6(b) に示すように、レジストパターン（不図示）を用いるフォトリ

ソグラフィー法により第1の層間絶縁膜10、第2のエンキャップ層15a、第2の層間絶縁膜16及びカバー膜9をエッティングして、メモリセル領域Aの不純物拡散層6aの上にそれぞれコンタクトホール16a～16cを形成すると同時に、周辺回路領域Bの不純物拡散層6bの上にコンタクトホール16d、16eを形成し、また、素子分離絶縁層2上の配線5d上にコンタクトホール16fを形成する。

【0069】

第2の層間絶縁膜16、第2のエンキャップ層15a、第1の層間絶縁膜10、カバー膜9は、CF系ガス、例えば CHF_3 に CF_4 、Arを加えた混合ガスを用いてエッチングされる。

【0070】

次に、図7(a)に示すように、第2の層間絶縁膜16の上とコンタクトホール16a～16fの内面を前処理のためにRF(高周波)エッティングを行った後、それらの上にスパッタリング法によりチタン(Ti)膜を20nm、窒化チタン(TiN)膜を50nmを連続で成膜し、これらの膜をグルーライド層17とする。さらに、フッ化タンゲスタンガス(WF_6)、アルゴン、水素の混合ガスを使用するCVD法により、グルーライド層17の上にタンゲスタン膜18を形成する。なお、タンゲスタン膜18の成長初期にはシリコン(SiH_4)ガスも使用する。タンゲスタン膜18は各コンタクトホール16a～16fを完全に埋め込む厚さ、例えばグルーライド層17の最上面で500nm程度とする。

【0071】

続いて、図7(b)に示すように、第2の層間絶縁膜16上面のタンゲスタン膜18とグルーライド層17をCMP法により除去し、各コンタクトホール16a～16f内にのみ残す。これにより、コンタクトホール16a～16f内のそれぞれのタンゲスタン膜18とグルーライド層17を導電性プラグ17a～17fとして使用する。

【0072】

その後に、コンタクトホール16a～16f形成後の洗浄処理、CMP後の洗浄処理等の工程で第2の層間絶縁膜16表面に付着したりその内部に浸透した水

分を除去するために、再び、真空チャンバ中で390°Cの温度で第2の層間絶縁膜16を加熱して水を外部に放出させる。このような脱水処理の後に、第2の層間絶縁膜16を加熱しながらN₂Oプラズマに曝して膜質を改善するアニールを例えれば2分間行う。

【0073】

次に、図8(a)に示すように、第2の層間絶縁膜16上と導電性プラグ17a～17f上にタンゲステンの酸化防止膜19としてプラズマCVD法によりSiON膜を約100nmの厚さに成膜する。

【0074】

次に、図8(b)に示すように、レジストパターン(不図示)をマスクに使用して上部電極14c上の第2の層間絶縁膜16及びエンキャップ層15, 15aをエッティングしてホール16gを形成する。同時に、ワード線WLの延在方向で上部電極14cからはみ出している下部電極11a上にもホール(不図示)を形成する。その後、レジストパターンは除去される。

【0075】

そのエッティングは、CF系ガス、例えばCHF₃にCF₄とArを加えた混合ガスを用いてエッティングされる。

【0076】

その後に、図8(b)に示した状態で、酸素雰囲気中、550°C、60分間のアニールを行い、ホール16gを通して誘電体膜13aの膜質を改善する。この場合、酸化され易いタンゲステンからなる導電性プラグ17a～17fは、酸化防止膜19で覆われているため、酸化されない。

【0077】

次に、図9(a)に示したように、第2の層間絶縁膜16上と導電性プラグ17a～17f上にあった酸化防止膜19をエッチバック法によりエッティングし、導電性プラグ17a～17fを露出させる。その場合、導電性プラグ17a～17fの上端は、第2の層間絶縁膜16から上に飛び出る。

【0078】

続いて、導電性プラグ17a～17f及び上部電極14cが露出した状態で、

R F エッチング法によりそれらの表面を約 10 nm エッチング (SiO_2 換算) して清浄面を露出させる。

【0079】

その後に、第2の層間絶縁膜 16、導電性プラグ 17a～17f 上に、アルミニウムを含む4層構造の導電膜をスパッタ法により形成する。その導電膜は、下から順に、膜厚 150 nm の窒化チタン膜、膜厚 550 nm の銅含有 (0.5%) アルミニウム膜、膜厚 5 nm のチタン膜、膜厚 150 nm の窒化チタン膜である。

【0080】

ついで、図9(b) に示すように、その導電膜をフォトリソグラフィー法によりパターニングすることにより第1～第5の配線 20a, 20c, 20d～20e と導電性パッド 20b を形成する。

【0081】

メモリセル領域 Aにおいて、第1の配線 20a は、p ウエル 3a の一側方にある上部電極 14a にホール 16g を通して接続され、かつ上部電極 14a に最も近い p ウエル 3a 上の導電性プラグ 17c に接続される。第2の配線 20c は、p ウエル 3a の他側方にある上部電極 14a にホール 16g を通して接続され、かつ上部電極 14a に最も近い p ウエル 3a 上の導電性プラグ 17a に接続される。導電性パッド 20b は、p ウエル 3a の中央の上に形成された導電性パッド 17b の上に島状に形成される。第3～第5の配線 20d～20e は、周辺回路領域 B における導電性プラグ 17d～17f に接続される。

【0082】

次に、図10に示す構造を形成するまでの工程を説明する。

【0083】

まず、第1～第5の配線 20a, 20c, 20d～20e と導電性パッド 20b の上に第3の層間絶縁膜 21 を形成した後に、第3の層間絶縁膜 21 の上面を CMP により平坦化する。

【0084】

ついで、マスク (不図示) を使用して第3の層間絶縁膜 21 にピアホール 22

a, 22bを形成する。ピアホール22a, 22bは、メモリセル領域Aのpウエル3aの上の導電性パッド20bの上や、周辺回路領域Bの配線20eの上、その他の位置に形成される。

【0085】

さらに、ピアホール22a, 22b内に、TiN層とW層からなるピア23a, 23bを形成する。それらのピア23a, 23bは、ピアホール22a, 22b内と第3の層間絶縁膜21上にTiN層とW層をスパッタにより形成した後に、第3の層間絶縁膜21上からTiN層とW層をCMPにより除去し、これによりピア23a, 23b内に残すことによって形成される。

【0086】

続いて、第3の層間絶縁膜21上に二層目の配線24a～24eを形成した後に、第3の層間絶縁膜21上に二層目の配線24a～24eの上に第4の層間絶縁膜25を形成する。さらに、第4の層間絶縁膜25を平坦化した後に、第4の層間絶縁膜25上に、アルミニウムよりなる導電パターン26を形成する。その後に、第4の層間絶縁膜25及び導電パターン26の上に、酸化シリコンよりなる第1のカバー絶縁膜27と窒化シリコンよりなる第2のカバー絶縁膜28を順に形成する。以上によりFeRAMの基本的な構造が形成される。

【0087】

上記した実施形態により形成されたキャバシタQは、キャバシタQの下に形成された第1の層間絶縁膜10の上面をNH₃ガスを用いたプラズマに曝すことによって、キャバシタ特性が従来よりも改善された。

【0088】

そこで以下に、上記した実施形態により形成されるキャバシタQについて、詳細に説明する。なお、以下に述べる絶縁膜は原則的に酸化シリコン膜である。

【0089】

まず、上記した工程によって形成された本実施形態に係るFeRAMと、従来方法によって形成されたFeRAMとを用意する。

【0090】

従来構造を有するFeRAMでは、NH₃プラズマに曝されない第1の層間絶縁

膜10の上に中間層11を形成する以外は、上記した実施形態と全て同じ工程を経て形成された。

【0091】

それらのFeRAMは、1トランジスタと1キャパシタによって1ビットを構成する1T1C型であり、データの“0”、“1”を判断する基準となるリファレンスセルを有している。メモリセルに書き込まれた分極電荷量を測定する際には、リファレンスセルのリファレンスキャパシタに蓄積された分極電荷量を基準にする。

【0092】

例えば、リファレンスキャパシタに設定された分極電荷量に比べて、メモリセルのキャパシタに設定された分極電荷量が高い場合には“0”、その逆に低い場合には“1”と判断する。従って、リファレンスキャパシタの分極電荷量は、メモリセルの電圧・分極電荷特性のヒステリシスループの電界ゼロにおけるプラス側の残留分極量($+P_r$)とマイナス側の残留分極量($-P_r$)との間に設定される。

【0093】

ヒステリシスループにおいて、一度、負のパルスをキャパシタに印加し、ついで正のパルスをキャパシタに印加したときに出る信号(電荷)はPで表わされ、 P_{term} と呼ばれる。その後、もう一度正のパルスをキャパシタに印加したときに出る信号(電荷)がうで表わされ、 U_{term} と呼ばれる。また、一度負のパルスをキャパシタにいれてパルスが0Vに戻るときに出る電荷はDaで表され、 Da_{term} と呼ばれる。

【0094】

まず、従来のFeRAMについて“0”と“1”的マージンを調査したところ、図11のようなマージン特性が得られた。また、本実施形態のFeRAMについて“0”と“1”的マージンを調査したところ、図12のようなマージン特性が得られた。

【0095】

図11、図12のマージン特性ではそれぞれ3つの領域が存在する。3つの領

域のうち中央にあるのが $(D_a + P) \times 0.6$ のリファレンスセルの信号領域である。なお、そのリファレンスセルの信号領域よりも高電圧側にある領域が、 P_{term} 信号によるビット線の電位であり、“1”信号を示している。また、リファレンスセルより低電圧側にあるのが U_{term} 信号によるビット線の電位であり、“0”信号を示す。

【0096】

図11、図12において、リファレンスセルの信号領域の両端が“1”信号の領域または“0”信号の領域と交わった場合には、信号分離に関してマージンが無いことを示している。従って、図11、図12で矢印で示すように、リファレンスセルの信号領域の端と“1”信号の領域の端、およびリファレンスセルの信号領域の端と“0”信号の領域の端が広いことは、それぞれ“1”、“0”信号のマージンが広いことを意味する。図12における“1”、“0”信号のマージンは、図11における“1”、“0”信号のマージンよりも広くなっていることがわかる。

【0097】

そのような実験結果により、キャパシタの下の絶縁膜の表面に NH_3 プラズマ処理をすることによって、結果として FeRAM デバイスとしての“0”、“1”マージンを広げることができることが明らかになった。

【0098】

従来のフローと本実施形態の改良フローで異なる部分は、下地である PE-TEOS の層間絶縁膜に NH_3 プラズマ処理を行うか行わないかの違いである。この NH_3 プラズマの作用により、強誘電体膜の下の下部電極の配向性を向上させ、それに伴い強誘電体キャパシタの特性を向上させ、“0”、“1”のスイッチングマージンを広げることができる。

【0099】

次に、FeRAM の不良ビットについて説明する。

【0100】

従来構造の FeRAM と本実施形態の FeRAM について、不良が多く出る厳しい条件でフェイルビット測定 (Fail-Bit-Counts) を行ったところ、表1に示

すような結果が得られた。表1によれば、従来条件により形成されたF e R A Mでは、平均で3万ビット以上の不良が発生したが、改良構造の本実施形態では、従来の約1／10程度にFail-Bitsを抑えることができた。なお、表1において、S/nはサンプル番号を示している。

【0101】

【表1】

NH₃ プラズマ処理 (PLA)によるフェイルビット数の低減

	測定温度	S/n	フェイルビット数	平均	相対比
従来	-45°C	1	23521		
		2	28023		
		3	33622		
		4	36938		
		5	36977	31816.2	10
	+85°C	6	1	—	—
改良 (NH ₃ -PLA 処理あり)	-45°C	7	4531		
		8	6175		
		9	4665		
		10	2001		
		11	1336	3741.6	1.2
	+85°C	12	0	—	—

測定フロー : (1) SS(RowB)write @25°C
(2) IR リフロー 250°C / 1 min
(3) SS read @ -45°C, +85°C

【0102】

ところで、本実施形態のF e R A Mにおいて、図12の結果のように“0”と“1”的マージンが広がったり、表1のようにFail-Bitsが従来の約1／10に減少する理由としては、キャパシタQの強誘電体であるP Z T自身の結晶性が良好になったからである。つまり、NH₃ プラズマに曝された第1の層間絶縁膜10上に形成したTi膜の(002)面の配向性を向上させた後、そのTi膜(中間層11)を酸化させ、TiO_x 膜を形成し、その上層に第1の導電膜12としてPt膜を成膜して下部電極を形成する。その上にP Z T膜を形成し、P Z T膜をアニールをしてP Z T膜自身の結晶性を改善せることができる。

【0103】

表2は、第1の層間絶縁膜12に対するNH₃ プラズマ処理の有無の違いが、第

1の層間絶縁膜12上の下部電極11a、誘電体層13aの配向強度にどのような影響を及ぼすかを比較した実験結果を示している。なお、Ti(002)面の上に形成されたPt膜では(111)面が現れ、 TiO_2 (200)面上に形成されたPt膜では(111)面が現れる。Ti(002)は、酸化によって TiO_2 (200)面となる。また、(222)面は(111)面と等価である。

【0104】

【表2】

NH₃-PLA有無による下部電極およびPZTの配向強度比較

	NH ₃ -PLA	Ti(002)	TiO ₂ (200)	Pt(222)	PZT(222)
従来	無し	1104	718	39849	5000
改良	有り	13435	4068	199909	15000

【0105】

表2によれば、絶縁膜にNH₃ プラズマ処理をすることにより、絶縁膜上に形成されるTi(002)、 TiO_2 (200)の配向強度を劇的に向上させ、その酸化チタン膜の上に成膜するPtの配向性を向上させ、最終的には、Pt膜の上に形成されるPZTにまで影響を与えていることが判る。

【0106】

また、絶縁膜をNH₃ プラズマに曝すことにより、その絶縁膜上の TiO_2 膜の表面粗さ、即ち平坦性がどのように改善されるかを調べたところ、表3に示すような結果が得られ、表面粗さを抑える効果もある。

【0107】

【表3】

NH₃-PLA有無による TiO_2 の平坦性比較 (AFM測定結果)

	NH ₃ -PLA	TiO ₂ の平坦性【 μm 】
従来	無し	2.328
改良	有り	1.712

【0108】

従って、表2、表3により、絶縁膜の表面のNH₃ プラズマ処理は、その上に形成されるTiO₂膜の平坦性の向上と配向性の向上の両方を兼ねている。Ti膜についても同様である。

【0109】

かねてから、Pt膜の下地には、平坦性が重要視されていた。

【0110】

これについて、本発明によれば、Pt膜の下地の平坦性と配向性の両方を兼ねる効果がNH₃ プラズマ処理に有ることがわかった。

【0111】

ところで、NH₃ プラズマ処理された絶縁膜についてNH₃ プラズマ処理効果の低下が見られることもあり、そのNH₃ プラズマ処理効果の低下の原因を探るため、本発明者は以下のような実験をした。

【0112】

まず、図13に示すように、NH₃ プラズマ処理された絶縁膜には、大気放置時間依存があり、NH₃ プラズマ処理をしてからTiを成膜するまでの大気放置時間を長くすると、その効果が低下してしまうことが実験により明らかになった。

【0113】

そこで、複数種の試料を作製して以下の実験を行った。

【0114】

第1の試料として、シリコン基板上方の絶縁膜表面をNH₃ プラズマ処理した後に、大気に放置せずに、絶縁膜上にTi膜を形成した。第2の試料として、シリコン基板上方の絶縁膜表面をNH₃ プラズマ処理した後に大気に24時間放置し、ついで絶縁膜上にTi膜を形成した。第3の試料として、シリコン基板上方の絶縁膜表面をNH₃ プラズマ処理した後に大気に24時間放置し、ついでコーティング用いて絶縁膜上にIPA（イソプロピルアルコール）を塗布し、乾燥し、ついで絶縁膜上にTi膜を形成した。

【0115】

なお、NH₃ プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入されるNH₃ のガス流量を250sccm、チャンバ内の圧力を4Torr、基板温度を40

0°C、基板に供給される高周波電源のパワーを100W、プラズマ発生領域に供給される高周波電源のパワーを55W、電極・第1の層間絶縁膜間の距離を300mils、プラズマ照射時間を10分に設定する。

【0116】

そして、図14に示すように、第1～第3の試料の各々のTi膜の上面の(002)の配向強度をX線回折法(XRD)により測定したところ、第1の試料では(002)配向強度が高くなり、第2の試料では(002)配向強度が極端に下がり、また、第3の試料では(002)配向強度が回復する、という結果が得られた。

【0117】

さらに、別な試料を作成して以下のような実験を行った。

【0118】

第4の試料として、シリコン基板上方の絶縁膜表面をNH₃ プラズマ処理した後に、大気に放置せずに、絶縁膜上にTi膜を形成した。第5の試料として、シリコン基板上方の絶縁膜表面をNH₃ プラズマ処理した後に大気に24時間放置し、ついで絶縁膜上にTi膜を形成した。第6の試料として、シリコン基板上方の絶縁膜の表面をNH₃ プラズマ処理した後に、NH₃ プラズマに曝された絶縁膜の表面に対して水を用いる表面ジェットスクラバー(SJ)処理を行い、その後に絶縁膜上にTi膜を形成した。

【0119】

なお、NH₃ プラズマ処理の条件として、試料1～試料3を作成する際のNH₃ プラズマ処理と処理時間を除き同じ条件に設定した。その処理時間は1分である。

【0120】

そして、図15に示すように、第4～第6の試料の各々のTi膜の(002)の配向強度をXRDにより測定したところ、第6の試料のTi(002)配向強度は第4の試料のTi(002)配向強度に比べて大幅に低下していることがわかる。しかし、第6の試料のTi(002)配向強度は、第5の試料のTi(002)配向強度に比べて大きく高くなっている。

【0121】

なお、第4の試料と上記した第1の試料とを比べると、それらの試料のTi(002)配向強度が異なっているが、これはNH₃プラズマ処理時間の違いによるものであり、本質的な効果の違いはない。

【0122】

図14、図15の測定結果により判ることは、NH₃プラズマに曝された絶縁膜の大気放置によるTi配向性の劣化の原因は、大気中の水分だと考えられる。

【0123】

つまり、図14に示したように、NH₃プラズマ処理後に大気に曝された絶縁膜の表面がIPA処理により復活した。その理由としては、大気放置することにより絶縁膜の表面にH₂O分子が付着し、その後に絶縁膜表面に付着していたH₂OがIPAに吸収され乾燥し、その表面のH₂Oが減少して配向性が復活したと考えられる。

【0124】

また、図15では、表面ジェットスクラバー(SJ処理)により絶縁膜の表面にH₂O分子が付着し、擬似的な大気放置状態を作り出し、その絶縁膜上に形成されたTi膜の配向性が低下したと考えられる。

【0125】

以上の結果から、NH₃プラズマに曝された絶縁膜の大気放置による劣化は、大気中の水分が影響していることになる。そこで、NH₃プラズマに曝された絶縁膜を有する基板(ウェハ)を大気中に長時間置かずに真空雰囲気に保管し、その後にTi膜を形成すれば、Ti膜の劣化を防げるのではないかと思い実験を行った。その実験により、図16に示すような結果が得られた。なお、図16の横軸に示すTi膜はその下に記載された条件に置かれた絶縁膜の上に形成されている。また、それらの絶縁膜は、図16の横軸の条件に置かれる前に、NH₃プラズマ処理された。

【0126】

図16によれば、NH₃プラズマ処理後の絶縁膜を4.1×10⁻⁶Torrという高真空中に保管し続ければTi膜の(002)配向強度は高い値を維持することが判った。

【0127】

しかし、 NH_3 プラズマに曝された絶縁膜 170 mTorr と低真空中で保管し、真空引きをやめてそのまま長時間放置してしまうと、その放置後に絶縁膜上に形成される Ti 膜の (002) 配向強度は大気放置した状態とほとんど差がない状態まで落ち込むことが判った。即ち、わずかな真空雰囲気内へのガスのリークでも Ti 膜の配向性を劣化させる原因になり得ることがわかる。

【0128】

また、図 16 の結果によれば、大気中に存在する物質が Ti 膜の配向性劣化に繋がっていることがわかった。図 16 の実験結果と図 14、図 15 の実験結果とを合わせると、 NH_3 プラズマ処理された絶縁膜の表面状態の優劣は大気中の水分が関与している可能性が高いといえる。

【0129】

これらの結果から判るように、絶縁膜の表面に NH_3 プラズマ処理をしてから Ti 成膜を形成するまでは、なるべく真空中で行ったほうが良いと考えられる。運悪く、そのような処理ができない場合には、絶縁膜表面を NH_3 プラズマに曝した後に、なるべくその表面上に早く Ti 膜を成膜するか、その表面を大気に放置した後には Ti 成膜前に IPA 処理を追加する方が良い。

【0130】

以上のように、絶縁膜の表面に NH_3 プラズマ処理をした後に、絶縁膜を大気に曝さずに絶縁膜上に Ti 成膜を形成するために使用される装置の一例を図 17 に示す。

【0131】

図 17において、真空搬送室 31 には、ロード室 32、アンロード室 33、 NH_3 プラズマ処理用のプラズマ発生チャンバ 34 及びチタン形成用のスパッタチャンバ 35 が接続されている。また、真空搬送室 31 内には、ウェハ（半導体基板）を搬送するロボット 36 が取り付けられている。

【0132】

真空搬送室 31 内は例えば 1×10^{-3} Torr の真空状態に維持される。また、ロード室 32、アンロード室 33、プラズマ発生チャンバ 34 及びスパッタチャン

バ35も所定の真空状態になっている。

【0133】

ロード室32内に搬送されたウェハ30上には絶縁膜が形成されている。そして、ロード室32内のウェハ30をロボット36によりプラズマ発生チャンバ34内に搬送する。プラズマ発生チャンバ34内ではNH₃ガスが導入されて上記した条件によりプラズマが発生され、これにより絶縁膜はNH₃プラズマに曝されることになる。また、絶縁膜のプラズマ処理を終えた後に、ロボット36は、真空搬送室31内を経由してスパッタチャンバ34内にウェハ30を搬送する。さらに、スパッタチャンバ34内では上記した条件により絶縁膜上にTi膜が形成される。そして、Ti膜の形成を終えた後に、ロボット36は、真空搬送室31内を経由してアンロード室33へウェハ30を搬出する。

【0134】

これにより、絶縁膜上では、NH₃プラズマに曝された後に大気に曝されずに、チタンが形成される。

【0135】

なお、チタンなどの中間層11の形成の後にも、基板を大気に曝さずに、中間層11の上に第1の導電層12を形成することが好ましい。

【0136】

次に、NH₃プラズマ処理された絶縁膜上に形成された第1のTi膜と、NH₃プラズマ処理されない絶縁膜上に形成された第2のTi膜のそれぞれについて(002)のロッキングカーブを測定したところ、図18に示すような結果が得られた。(002)配向を示すピークについて、第1のTi膜のピークは第2のTi膜のピークよりも大幅に高くなった。しかも、それらのピークを有するロッキングカーブについて半値幅を求めたところ、第1のTi膜の半値幅は3.98°と狭くなり、第2のTi膜の半値幅は6.88°と広くなった。

【0137】

これにより、NH₃プラズマ処理された絶縁膜上に形成された第1のTi膜の(002)配向にはバラツキがなく、きれいに揃って、配向性が従来に比べて大幅に改善されていることがわかる。

【0138】

なお、図18は、3軸ゴニオのXRDにより測定されたロッキングカーブである。ロッキングカーブは、まず、 $2\theta/\theta$ の測定で 2θ をTi(002)のピーク位置、 38.4° 付近に固定し、ついで θ を $5\sim35^\circ$ まで振って測定された。

【0139】

なお、絶縁膜へのNH₃ プラズマ処理の有無の相違による、絶縁膜上のTi膜の他に、Ti膜上のPt膜の(111)配向、Pt膜上のPZT膜の(111)配向のそれぞれのロッキング幅の測定結果のまとめを表4に示す。

【0140】

表4によれば、NH₃ プラズマ処理された絶縁膜上のPt膜とPZT膜の(111)配向の基板面に対する角度は、NH₃ プラズマ処理されない絶縁膜上のPt膜とPZT膜に比べて小さくなることがわかる。

【0141】

【表4】

NH₃-PLA 有無による下部電極と
PZTのロッキング幅(θスキャン測定)

	NH ₃ -PLA	Ti	TiO ₂	Pt(111)	PZT(111)
従来(度)	無し	6.88*	—	5.45	8.98
改良(度)	有り	3.98*	—	2.97	4.15

* : θスキャン測定の半値幅

【0142】

次に、NH₃ プラズマ処理が行われた絶縁膜の上にTi膜を形成すると、Tiの配向強度が上昇する、というメカニズムを調べるための実験について説明する。

【0143】

まず、シリコン基板上にPE-TEOSよりなる絶縁膜を6種類のガスを用いてプラズマ処理を行い、その後絶縁膜上にTi膜を形成した。続いて、Ti膜の配向強度をXRDにより調査したところ、図19に示すようなプラズマの6種類のガ

スとTi膜のXRDピーク強度との関係が得られた。

【0144】

その結果、有効な効果が生じたガスは、N₂とNH₃であった。特にNH₃は、ウェハの中心(Cen)と周辺(OF)との差が少なく配向強度も他のガスにくらべても(002)配向強度が非常に高い結果となった。2番目に高いのは、N₂である。N₂では、面内分布に差が発生しており、ウェハ周辺で配向強度が高くなっている。その原因として、チャンバの側壁から出てきた水素がプラズマに入り込み擬似的にNH₃ガスを用いる効果と同等な作用をしたのではないかと考えられる。さらに、酸素が入ったO₂やN₂Oでは、他のガスに比べ非常に(002)配向強度が悪い結果になった。

【0145】

これらの結果から、酸素の入っていないガスでかつ窒素が入っているガスが良好であり、そのようなガスを用いたプラズマによりTi(002)の配向強度を高められることがわかった。また、NH₃で一番良好な結果になったことから、NとHが入ったガスが効果的であるといえる。

【0146】

また、メカニズム解析の一つとして、SiO₂基板についてNH₃プラズマ処理有りと無しの2種類のウェハを作製し、フーリエ変換赤外分光光度計(FT-IR)測定を行った。その結果を図20に示す。

【0147】

図20によれば、SiO₂基板にNH₃プラズマ処理を行うと、SiO₂中のO-H結合が減少し、N-H結合が増加することがわかった。この結果と図19の結果から以下のようないメカニズムが考えられる。

【0148】

つまり、図21(a)に示すように、NH₃プラズマ処理がされているSiO₂膜は、表面に酸素(O)原子が顔を出しており、酸素(O)とチタン(Ti)が結合しやすいため、Tiのマイグレーションが起こり難くTiのc軸が基板面の垂直方向からずれるのではないかと考えられる。図19のガス種を変えた場合の実験結果で、酸素の入ったガス(N₂O or O₂)雰囲気でプラズマを発生させるとTi膜の配向強

度が低下する現象は、まさに SiO_2 膜表面上のO-H基が減少し、表面に顔を出すO原子の密度が多くなっているからではないかと考えられる。

【0149】

それに対して、図21(b)に示すように、 SiO_2 表面上に NH_3 プラズマ処理を行うと、表面付近に存在するOに窒素(N)が結合され、表面でのNのもう一方の結合は、Hでターミネートされていると考えられる。そのため SiO_2 の表面がTiと反応性が低くなる。この作用が、Tiのマイグレーションを起こし易くさせ、基板に対して垂直方向にc軸を立たせることができると考えている。

【0150】

なお、Hは、Tiが厚くなるにつれて SiO_2 膜表面から離脱して最終的にはTi膜中には残らない。

【0151】

ところで、以上のような考えに基づけば、N-H結合を増加させるためには、 NH_3 ガスを用いずに、窒素(N_2)ガスと水素(H_2)ガスをプラズマ発生チャンバ内に導入することも考えられた。そこで、 N_2 及び H_2 のプラズマに SiO_2 絶縁膜を曝した後に絶縁膜上にTi膜を形成する試料を複数作製した。それらの試料は、プラズマ発生チャンバ内に導入される N_2 ガスと H_2 ガスのうち H_2 ガスの流量を異ならせている他は、同じ条件で形成された。さらに、 NH_3 プラズマ処理がなされた絶縁膜上にTi膜を形成した試料も作製した。

【0152】

それらの試料のTi膜の(002)配向についてXRDで調べたところ、図22に示すような結果が得られた。

【0153】

図22によれば、 N_2+H_2 プラズマを用いて作製された試料はいずれも、 NH_3 プラズマを用いて作製された試料に比べて、Ti膜の(002)配向強度が低いことが判った。従って、Ti膜形成の前に SiO_2 膜の表面にN-H結合を作るためには、 NH_3 のようにNとHが結合をしている分子のガスを使用する方が、劇的に効果があるといえる。なお、 N_2+H_2 プラズマを用いる場合、 H_2 を約10%の僅かな量でチャンバ内に導入するとウェハの周縁近傍で(002)配向強度のピークが高くな

っていた。

【0154】

ところで、N-H 結合をSiO₂膜の表面に多く作るためにには、図23に示すように、基板温度を上げて反応速度を速めることが好ましい。

【0155】

なお、図23に示す結果を得るための実験では、SiO₂膜に対するNH₃ プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入されるNH₃ のガス流量を250 sccm、チャンバ内の圧力を4 Torr、基板に供給される高周波電源のパワーを100 W、プラズマ発生領域に供給される高周波電源のパワーを55 W、電極・第1の層間絶縁膜間の距離を300 mils、プラズマ照射時間を1分に設定し、さらに基板温度を変化させた。

【0156】

また、図24に示すように、基板に供給される13.56 MHz の高周波電力のパワーを上げることにより、NH₃ ガスの分解を促進してもTi (002) の配向強度を上昇させることができる。

【0157】

なお、図24に示した結果を得るための実験では、SiO₂膜に対するNH₃ プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入されるNH₃ のガス流量を250 sccm、チャンバ内の圧力を4 Torr、基板温度を400 °C、プラズマ発生領域に供給される高周波電源のパワーを55 W、電極・第1の層間絶縁膜間の距離を300 mils、プラズマ照射時間を1分に設定し、さらに基板に供給される高周波電源のパワーを変化させた。

【0158】

また、図25に示すように、SiO₂膜がNH₃ プラズマにさらされている時間が長いほど、SiO₂膜上のTi (002) の配向強度が高くなることがわかる。

【0159】

なお、図25に示す結果を得るための実験では、SiO₂膜に対するNH₃ プラズマ処理の条件として、プラズマ発生用のチャンバ内に導入されるNH₃ のガス流量を250 sccm、チャンバ内の圧力を4 Torr、基板温度を400 °C、基板に供給され

る高周波電源のパワーを100W、プラズマ発生領域に供給される高周波電源のパワーを55W、電極・第1の層間絶縁膜間の距離を300milsに設定し、さらにプラズマ照射時間を変化させた。

【0160】

以上の実験結果によれば、プラズマ中のNH₃の分解を促進させ、基板温度を上げて反応速度を上昇させ、NH₃ プラズマ処理時間と長くすることにより効果的にSiO₂絶縁膜表面でのN-H結合が増加し、これによりSiO₂絶縁膜上のTi(002)の配向強度を上昇することができる。

【0161】

この配向性の揃ったTi膜の(002)上に物質を形成すると、その物質はTi膜の配向に影響されて配向性が良くなる。そのような物質として、例えばプラチナ、イリジウム、酸化イリジウムなどの貴金属又は酸化貴金属よりなる導電膜を形成すると、基板面垂直方向に対する導電膜の(111)配向強度が高くなる。さらに、そのような配向性の良い導電膜の上にPZTなど、上記した強誘電体膜を形成すると、基板面垂直方向に対する強誘電体膜の(111)配向強度もまた高くなる。

【0162】

上記した表2は、Ti膜の酸化工程は入っているものの、Ti膜の配向性を引きずってTiO_x膜上のPZT膜の結晶性を良くするという一例である。それ以外にも様々な利用方法が考えられる。

【0163】

次世代の0.18μm線幅のFeRAMの下部電極の層構造として、Ir/Tiという構造が検討されている。

【0164】

その下部電極となるTi膜の形成前に、下地である層間絶縁膜をNH₃ プラズマに曝すと、Ti膜の配向性は良くなり、さらにTi膜の上に成膜されるIr膜も下地であるTi膜の配向に引きずられて配向性が良くなる。

【0165】

即ち、NH₃ プラズマに曝された第1の層間絶縁膜10上ではTi膜の配向性が良

くなり、これに伴いTi膜を酸化して得られる酸化チタン (Ti_x 又は Ti_2) の配向性も良くなる。従って、Ti膜、 Ti_x 膜又は Ti_2 膜の上のPt、Ir等の貴金属膜の(111)配向強度が高くなり、さらに、その貴金属膜の上に形成される強誘電体膜の(111)配向強度が高くなる。

【0166】

図26は、層間絶縁膜に対する NH_3 プラズマ処理の有無によってIr/Ti下部電極がどのように相違するかを示したものであり、 NH_3 プラズマ処理(PLA)された層間絶縁膜の上方のIr膜上面の(111)配向を示すピークが大きくなり、またそのピークの半値幅が小さくなることがわかった。

【0167】

図26は、4軸ゴニオメータによる測定結果で、 $2\theta/\theta$ をIr(111)面の角度である 40° 付近に設定し、それからあおり角(χ)を変化させて測定した結果である。そして、 $\chi=0^\circ$ 、 $\chi=90^\circ$ に(111)面を表すピークが現れた。

【0168】

さらに、図26の実験結果に用いた2種類の試料における向強度の異なるIr膜上にそれぞれMOCD法によりPZT膜を形成し、その後にPZT膜の(111)配向強度を測定したところ、図27に示すような結果が得られた。

【0169】

図27によれば、 NH_3 プラズマ処理された絶縁膜の上にIr/Ti膜を介して形成されたPZT膜上面の(111)配向を示すピークが大きくなり、また、そのピークの半値幅が小さくなることがわかった。

【0170】

図27は、4軸ゴニオメータによる測定結果で、 $2\theta/\theta$ をPZTの(110)、(101)面の角度である 31° 付近に設定し、その後にあおり角(χ)を変化させて測定した結果である。そして、 $\chi=35^\circ$ の強いピークはPZT(111)面によるものである。Ti膜の下地の層間絶縁膜に NH_3 プラズマ処理(PLA)を行うことにより、Ir膜上のPZT膜の(111)ピークが強く且つ鋭くなる。しかし、層間絶縁膜に NH_3 プラズマ処理が行われない場合には、Ir膜上のP

ZT膜の(111)のピークが弱く且つ緩やか広がる。

【0171】

さらに、図27に示した2種類の構造を使用してそれぞれキャパシタを形成してそれらのスイッチングチャージ(Q_{sw})を測定したところ、表5に示すような結果が得られ NH_3 プラズマ処理された層間絶縁膜を有するキャパシタの Q_{sw} の方がより高くなった。

【0172】

【表5】

NH_3 -PLA 有無によるMO-CVD-PZTの Q_{sw} @ 1.8 V 比較

	Q_{sw} @ 1.8 V
NH_3 -PLA無し	$24 \mu C/cm^2$
NH_3 -PLA有り	$31 \mu C/cm^2$

【0173】

なお、 NH_3 プラズマに絶縁膜を曝し、その絶縁膜上に形成されるTi膜の(002)配向性を改善させることにより、図28に示すように、Al-Cu/Ti、Al-Cu/TiN/Tiなどの構造を絶縁膜上に形成することによってAl合金を(111)に揃えるとともに、エレクトロマイグレーション耐性を上げることができる。

【0174】

Al合金の配向を(111)に揃えることによりエレクトロマイグレーション耐性が高くなることは、次のような文献①、②に記載がある。但し、 NH_3 プラズマに絶縁膜を曝すことについては記載がない。

【0175】

① M. Kageyama, K. Hashimoto and H. Onoda: Proc. 29th Int. Reliability Physics Symp., 1991(IEEE, New York, 1991)p. 97

② T. Mitsuzuka: Jpn. J. Appl. Phys. 31 (1992) L1280

(第2の実施の形態)

第1実施形態では、強誘電体膜をスパッタにより形成するための条件について説明した。本実施形態では、強誘電体膜をMOCVD法により形成するための条件について説明する。

【0176】

まず、図1に示したように、第1の層間絶縁膜10の上面をCMPにより平坦化する。その後に、図2(a)に示したように、第1層間絶縁膜10をNH₃ プラズマに曝す。NH₃ プラズマ処理の条件として、例えば、チャンバ内に導入されるNH₃ のガス流量を250 sccm、チャンバ内の圧力を4 Torr、基板温度を350°C、基板に供給される高周波電源のパワーを100W、プラズマ発生領域に供給される高周波電源のパワーを55W、電極・第1の層間絶縁膜間の距離を300 mils、プラズマ照射時間を1分に設定する。

【0177】

次に、図2(b)に示したように、NH₃ プラズマ処理された第1層間絶縁膜10の上に中間層11を形成する。本実施形態においては、中間層11としてTi層をスパッタ法により形成する。Ti中間層11は、基板温度を室温に設定して10nmの厚さに形成する。

【0178】

続いて、図3(a)に示したように、中間層11の上に第1の導電膜12を形成する。但し、本実施形態では、第1の導電膜12として、スパッタによりイリジウム膜を形成する。イリジウム(Ir)膜は、200~400 nm、例えば400 nmの厚さに形成する。Ir膜をスパッタにより形成する条件として、例えばチャンバ内に入れたシリコン基板1の温度を約500°Cとし、チャンバ内に導入するアルゴンガス圧を0.15 Paとし、ターゲットとしてイリジウムを用い、ターゲット・基板間に印加するDCパワーを2.6 kWとする。

【0179】

この後に、第1の導電膜12の上に強誘電体膜13としてPZT膜を120 nmの厚さに形成する。但し、本実施形態では、次のような条件でMOCVD法によりPZT膜を形成する。

【0180】

チャンバ（不図示）内に置かれたシリコン基板1上でのPZT膜の成長温度を620°Cとする。そして、PZT膜を構成する元素のうち、Pbの原料としてPb(PM)₂、Zrの原料としてZr(dmhd)₄、Tiの原料として、Ti(O-iPr)₂(DPM)₂が用いられる。それらの原料は、THFにモル比3%の濃度で溶解させて液状にされた状態で気化器に搬送され、気化器では例えば260°Cの温度でTHFとともに気化され、酸素と混合した後にシャワー・ヘッドを通してチャンバ内の第1の導電膜13上に吹き付けられる。

【0181】

チャンバ内に導入される原料ガスの流量は、成長初期の20秒間ではPb原料ガスが0.365ml/min.、Zr原料ガスが0.196ml/min.、Ti原料ガスが0.175ml/min.に設定され、その後の505秒間ではPb原料ガスが0.376ml/min.、Zr原料ガスが0.277ml/min.、Ti原料ガスが0.214ml/min.に設定される。

【0182】

そのような条件により形成されたPZT膜の厚さは120nmであり、その組成はPb/(Zr+Ti)=1.17、Zr/(Zr+Ti)=0.43であった。

【0183】

MOCVD法により形成されたPZT膜は、結晶化されているので、結晶化のためのアニールは省略される。

【0184】

なお、基板温度を620°Cに設定してMOCVD法によりPZT膜を形成する場合に、PZT膜から鉛（Pb）が下に拡散して下部電極となる第1の導電膜12の構成元素とPbの合金が形成されてしまい、下部電極からのリーク電流が大きくなる原因となる。基板温度を580°Cとすれば、PZT膜からPbの拡散が防止されるが、本実施形態のようなPZTの膜質向上が困難となる。

【0185】

そのような強誘電体膜13の形成に続いて、図3(b)に示すように、強誘電体膜13であるPZT膜の上に第2の導電膜14としてIrO_x膜をスパッタにより200nmの厚さに形成する。IrO_x膜は、第1実施形態と同様に2ステップで

されてもよい。

【0186】

次に、図4(a),(b)、図5(b)に示した工程に沿って第2の導電膜14、強誘電体膜13、第1の導電膜12及び中間層11を順次パターニングすることにより強誘電体キャパシタQが形成される。なお、強誘電体キャパシタQにおいて、第2の導電膜14は上部電極14c、強誘電体膜13は誘電体膜13a、第1の導電膜12及び中間層11は下部電極11aとなる。

【0187】

その後の工程は第1実施形態と同じであるので省略する。

【0188】

以上のような工程により、下部電極11aを構成するTi中間層11は、第1実施形態で説明したように基板面に垂直なc軸に配向して(002)配向強度が高くなるので、その上に形成されるIr第1の導電膜12の(111)配向強度が高くなる。

【0189】

表6は、下部電極11aの構造を相違させた場合のIr膜の(222)のXRDプロファイルの半値幅を示している。

【0190】

【表6】

下部電極構造	半値幅
Ir/SiO ₂ (従来)	8.8°
Ir/Ti/SiO ₂ (従来)	4.5°
Ir/Ti/NH ₃ プラズマ処理/SiO ₂	1.6°
Ir/Pt/Ti/NH ₃ プラズマ処理/SiO ₂	1.4°

【0191】

表6によれば、NH₃ プラズマ処理されたSiO₂絶縁膜上にTi膜又はPt/Ti膜を介して形成されたIr膜の(222)のXRD半値幅は1.6°、1.4°と小さくなっているので、Ir膜のグレインが(222)配向方向に揃った好ましい状態と

なっている。なお、(222)配向は(111)配向と等価である。

【0192】

なお、中間層11を構成するTi膜の(002)配向強度が高くなっているので、第1実施形態のように、Ti膜をRTAにより酸化して TiO_x 膜に変えても TiO_x 膜の配向性はTi膜の配向性を引きずって良好な状態となって表3に示したように平坦性が従来よりも高くなっている。本実施形態では第1の層間絶縁膜10の表面を NH_3 プラズマ処理した点で、従来技術と相違している。

【0193】

また、第1の導電膜12と中間層11のパターニングにより形成されて(111)配向強度の高い下部電極11a上に620°Cの高い基板温度でMOCVD法により形成されたPZT誘電体膜13aは、90%以上のグレインの配向を基板面に垂直な(111)に揃えることができた。

【0194】

これは、下部電極11aの配向性を良くするために、 NH_3 プラズマ処理された第1の層間絶縁膜10の上に中間層12としてc軸に配向方向が揃ったしたTi膜が形成できるので、その中間層12上のIr膜が(111)に揃って配向するようになり、強誘電体膜13の結晶性は、その下地のIr膜の結晶性を受け継いで成長するからである。

【0195】

ところで、本実施形態では、PZT膜の成長温度を620°Cで形成しているが従来では580°Cである。

【0196】

NH_3 プラズマ処理された絶縁膜上のTiからなる中間層12を形成し、中間層12上にスパッタによりIr膜を形成した後に、Ir膜の配向をXRD法により測定したところ図29の実線曲線に示すようなXRDプロファイルが得られた。図29の実線曲線によれば、Ir膜に十分高い強度の(111)配向が得られていることがわかる。さらに、そのIr膜の上に基板温度620°Cの上記した条件でMOCVD法によりPZT膜を形成し、そのPZT膜の(111)配向強度を測定したところ、図29の実線ようになった。

【0197】

これに対して、Ir膜の上に基板温度580°CでPZT膜をMOCVD法により形成したところ、図29の破線で示すようにPZT膜の(111)配向強度が極めて小さくなつた。そのPZT膜は、ランダム結晶となつてゐた。

【0198】

そして、図29に使用した2つの試料のPZT膜上に上部電極を形成してスイッチング電荷量を測定したところ、図30に示すような特性が得られた。

【0199】

図30によれば、(111)配向強度が高い柱状結晶のPZT強誘電体膜を有する本実施形態のキャパシタは、ランダム結晶のPZT強誘電体膜を有するキャパシタに比べてスイッチング電荷量が大きくなつた。標準的なデバイス動作電圧である1.8Vでの電荷量を比較すると、配向強度が高いPZT膜を有するキャパシタでは $29\mu C/cm^2$ という高い値となつた。これに対し、ランダム配向のPZT膜を有するキャパシタでは $22\mu C/cm^2$ という低い値となつた。

【0200】

初期のスイッチング電荷量が高いことは、書き換え回数の増加による疲労や長時間のデータ保持による減極に対してもマージンが高いことを示している。

【0201】

そこで、それらのキャパシタを有するFeRAMについてインプリント特性を測定したところ、図31に示すような結果となつた。

【0202】

図31によれば、(111)配向強度が高いPZTからなるキャパシタを有する本実施形態のFeRAMは、エージング時間が伸びても電荷量の減少量が小さく、100時間経過後でも十分な読み取りマージンが維持される。これに対して、ランダム結晶のPZTからなるキャパシタを有するFeRAMは、エージング時間が伸びるにつれて電荷量が大幅に減少して100時間経過後には殆ど0になつてゐる。

【0203】

次に、不良ビットの発生するキャパシタと発生しないキャパシタについて分析

結果を説明する。

【0204】

まず、不良ピットが発生するキャパシタの強誘電体膜のP Z T結晶の(111)配向を調べた。図32(a)は、不良ピットが発生するキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、図32(b)は図32(a)の破線で示したP Z T結晶が<111>方向でない領域の電子回折像である。これによれば、P Z T膜の(111)配向比率は多く見積もっても約85%である。

【0205】

不良ピット数が発生しないキャパシタの強誘電体膜のP Z T結晶の(111)配向を調べた。図33は、不良ピットが発生しないキャパシタを透過電子顕微鏡で見た像に基づく断面図であり、P Z T膜中のグレインが柱状に揃っており、P Z T膜の(111)配向比率はほぼ100%である。なお、第1実施形態に示したP Z Tよりなる強誘電体膜13の(111)配向比率は90%以上であって、ほぼ100%かそれに近い値となる。

【0206】

結晶方位がそろっている場合には、デバイス動作を行う数十ナノ秒の時間で強誘電体ドメインの書き込みができるが、結晶方位が異なったものが混在していると、分極反転の伝搬に時間がかかるために、その時間内で反転しないドメインが残ってしまうためにインプリントの現象が起きると考えられている。

【0207】

従って、デバイスとして強誘電体膜を動作させるためには、90%以上の結晶を同一方向に揃える必要がある。

(第3の実施の形態)

第1、第2の実施形態では、上部電極と下部電極を上から電気的に引き出す構造のプレーナー型のキャパシタを有するF e R A Mについて説明した。本実施形態では、下部電極を下から電気的に引き出す構造のスタック型のキャパシタを有するF e R A Mのメモリセルについて説明する。

【0208】

図34～図37は、本発明の第3実施形態に係る半導体装置の製造工程を示す

断面図である。

【0209】

まず、図34(a)に示す断面構造を形成するまでの工程を説明する。

【0210】

図34(a)に示すように、n型又はp型のシリコン(半導体)基板51のトランジスタ形成領域の周囲にフォトリソグラフィー法により素子分離用溝を形成した後に、素子分離用溝の中に酸化シリコン(SiO_2)を埋め込んでSTI構造の素子分離絶縁膜52を形成する。なお、LOCOS法により形成した絶縁膜を素子分離絶縁膜として採用してもよい。

【0211】

続いて、シリコン基板51のトランジスタ形成領域にp型不純物を導入してpウェル51aを形成する。さらに、シリコン基板51のトランジスタ形成領域表面を熱酸化して、ゲート絶縁膜53となるシリコン酸化膜を形成する。

【0212】

次に、シリコン基板51の上側全面に非晶質又は多結晶のシリコン膜及びタンゲステンシリサイド膜を順次形成し、これらのシリコン膜及びタンゲステンシリサイド膜をフォトリソグラフィ法によりパターニングして、ゲート電極54a, 54bを形成する。

【0213】

なお、1つのpウェル51a上には2つのゲート電極54a, 54bが並列に形成され、それらのゲート電極54a, 54bはワード線の一部を構成する。

【0214】

次に、pウェル51aのうちゲート電極54a, 54bの両側にn型不純物をイオン注入してソース/ドレインとなる第1～第3のn型不純物拡散領域55a～55cを形成する。

【0215】

さらに、CVD法により絶縁膜、例えば SiO_2 膜をシリコン基板51の全面に形成した後に、その絶縁膜をエッチバックしてゲート電極54a, 54bの両側部分に絶縁性のサイドウォールスペーサ56として残す。

【0216】

続いて、ゲート電極54a, 54bとサイドウォールスペーサ56をマスクに使用して、第1～第3のn型不純物拡散領域55a～55cに再びn型不純物をイオン注入することにより、第1～第3のn型不純物拡散領域55a～55cをLDD構造にする。

【0217】

なお、1つのトランジスタ形成領域における2つのゲート電極54a, 54bの間の第1のn型不純物拡散領域55aは後述するピット線に電気的に接続され、トランジスタ形成領域の両端側の第2、第3のn型不純物拡散領域55b, 55cは後述するキャパシタの下部電極に電気的に接続される。

【0218】

以上の工程により、pウェル51aには、ゲート電極54aとLDD構造のn型不純物拡散層55a, 55bを有する第1のMOSトランジスタT₄と、ゲート電極54bとLDD構造のn型不純物拡散層55a, 55cを有する第2のMOSトランジスタT₅が形成される。

【0219】

次に、MOSトランジスタT₄, T₅を覆うカバー絶縁膜57として約200nmの厚さの酸窒化シリコン(SiON)膜をプラズマCVD法によりシリコン基板51の全面に形成する。その後、TEOSガスを用いるプラズマCVD法により膜厚1.0μm程度の酸化シリコン(SiO₂)を第1層間絶縁膜58としてカバー絶縁膜57の上に形成する。

【0220】

続いて、第1層間絶縁膜58の緻密化処理として、例えば常圧の窒素雰囲気中で第1層間絶縁膜58を700℃の温度で30分間熱処理する。その後に、第1層間絶縁膜58の上面を化学機械研磨(CMP)法により平坦化する。

【0221】

次に、図34(b)に示す構造を形成するまでの工程を説明する。

【0222】

まず、フォトリソグラフィ法によりカバー絶縁膜57と第1層間絶縁膜58を

パターニングすることにより、第2及び第3の不純物拡散領域55b, 55cの上に第1及び第2のコンタクトホール58b, 58cを形成する。

【0223】

さらに、第1層間絶縁膜58上面と第1、第2のコンタクトホール58b, 58c内面に、グルー膜59aとして膜厚30nmのTi膜と膜厚50nmのTiN膜をスパッタ法により順に形成する。さらに、グルー膜59a上にW膜59bをCVD法により成長して第1、第2のコンタクトホール58b, 58c内を完全に埋め込む。

【0224】

続いて、図34(c)に示すように、グルー膜59a及びW膜59bをCMP法により研磨して第1層間絶縁膜58の上面から除去する。これにより第1、第2のコンタクトホール58b, 58c内に残されたタンゲステン膜、TiN膜及びTi膜をそれぞれ第1、第2導電性プラグ60b, 60cとする。

【0225】

次に、図35(a)に示すように、アンモニア(NH₃)ガスのプラズマにより第1層間絶縁膜58表面を改質する。この場合、第1、第2導電性プラグ60b, 60cが酸化されない。

【0226】

NH₃プラズマ処理の条件として、例えば、チャンバ内に導入されるNH₃のガス流量を350sccm、チャンバ内の圧力を2Torr、基板温度を400°C、基板に供給される13.56MHzの高周波電源のパワーを100W、プラズマ発生領域に供給される350kHzの高周波電源のパワーを55W、電極・第1層間絶縁膜間の距離を350mils、プラズマ照射時間を60秒に設定する。

【0227】

次に、図35(b)に示す構造を形成するまでの工程を説明する。

【0228】

まず、第1、第2導電性プラグ60b, 60c上と第1層間絶縁膜58上に、中間層(自己配向層)61としてTi層をスパッタにより10nmの厚さに形成する。Ti層のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴン

ガス圧を0.15Pa、スパッタ用DCパワーを2.6kW、スパッタ時間を7秒、基板温度を20°Cに設定する。

【0229】

続いて、中間層61上に第1の導電膜65として例えば膜厚200nmのイリジウム(Ir)膜を形成する。Ir膜のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴンガス圧を0.11Pa、スパッタ用DCパワーを0.5kW、スパッタ時間を335秒、温度を500°Cに設定する。

【0230】

なお、第1の導電膜65として、プラチナ(Pt)膜、酸化プラチナ(PtO)膜、酸化イリジウム(IrO_x)膜、若しくはSRO(ストロンチウムルテニウム酸素)膜、又は、Ir膜、Pt膜、 PtO_x 膜、 IrO_x 膜から選択した多層構造膜を形成してもよい。

【0231】

次に、第1の導電膜65上に、強誘電体膜66として例えば膜厚120nmのPZT膜を形成する。強誘電体膜66は、第1実施形態に示したような材料、方法を用いてもよいが、この実施形態ではMOCVD(有機金属CVD)法でPZTを成長する構図を採用する。

【0232】

MOCVD法は、液体有機原料を気化器によって気化して反応室内に導入することを特徴としている。即ち、Pb、Zr、Tiのそれぞれの固体原料を有機化合物溶液に溶かし、この溶かした溶液を気化させて、原料ガスを発生させ、その原料ガスを反応室に導入してPZT膜を形成している。MOCVD法によりPZTを成膜する時の代表的な成長圧力、成長温度、成長時間、原料、流量は、表7、表8に示す通りである。

【0233】

【表7】

PZT成膜条件

	成膜圧力	成膜温度	時間
PZT	5Torr	620°C	620秒

【0234】

【表8】

溶液名	流量
THF(TetraHydroFuran:C ₄ H ₈ O)	0.474ml/min
Pb(DPM) ₂ (濃度0.3mol/1, THF溶液中に溶解)	0.326ml/min
Zr(dmhd) ₄ (濃度0.3mol/1, THF溶液中に溶解)	0.200ml/min
Ti(O-iPr) ₂ (DPM) ₂ (濃度0.3mol/1, THF溶液中に溶解)	0.200ml/min

【0235】

続いて、強誘電体膜66の上に、第2の導電膜67として例えば膜厚200nmの酸化イリジウム(IrO₂)をスパッタ法により形成する。IrO₂膜のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴンガス圧を0.8Pa、スパッタ用DCパワーを1.0kW、スパッタ時間を79秒、基板温度を常温、例えば20℃に設定する。

【0236】

ここで、第2の導電膜67としてIrO₂膜を用いたのは、水素劣化耐性を向上させるためである。第2の導電膜67としてPt膜を形成すれば、Pt膜が水素分子に対して触媒作用があるため、水素ラジカルを発生させ、PZT膜を還元させて劣化させやすい。これに対して、IrO₂膜は触媒作用を持たないので、水素ラジカルを発生させにくく、強誘電体膜の水素劣化耐性が格段に向上する。

【0237】

その後に、第2の導電膜67の形成により強誘電体膜66が受けたダメージを元に回復させるために、第2の導電膜67を通して強誘電体膜66に回復アニールを行う。回復アニールは、ファーネス内で基板温度550℃、260分間の条件で行われる。

【0238】

この後に、窒化チタン、酸化シリコンを順に形成してなるハードマスク(不図示)を第2の導電膜67上に形成する。ハードマスクは、第1及び第2の導電性プラグ60b, 60cの上とその周辺の領域に形成され、キヤパシタの平面形

状を有している。

【0239】

そして、図36(a)に示すように、ハードマスクに覆われない領域の第2の導電膜67、強誘電体膜66、第1の導電膜65及び中間層61を順次エッティングする。第2の導電膜67、第1の導電膜65及び中間層61のエッティングは例えばHBrとO₂の混合ガスを用いて行われ、強誘電体膜66のエッティングは塩素を含むガスによって行われる。

【0240】

これによりハードマスクの下に残された第2の導電膜67をキャパシタQ₀の上部電極67a、強誘電体膜66をキャパシタQ₀の誘電体膜66a、第1の導電膜65及び導電性の中間膜61をキャパシタQ₀の下部電極65aとする。

【0241】

その後に、ハードマスクは除去される。

【0242】

続いて、エッティングにより受けた強誘電体膜66のダメージを無くすために、回復アニールを行う。この場合の回復アニールは、例えば、基板温度650℃、60分間の条件で酸素雰囲気中で行われる。

【0243】

次に、図36(b)に示すように、第1層間絶縁膜58及びキャパシタQ₀の上にキャパシタ保護絶縁膜69として膜厚10nmのアルミナをCVD法により形成する。その後に、酸素雰囲気中で650℃、60分間の条件でキャパシタQ₀をアニールする。キャパシタ保護絶縁膜69は、プロセスダメージからキャパシタQ₀を保護するものである。

【0244】

その後、TEOSガスを用いるプラズマCVD法により、厚さ1.0μm程度の第2層間絶縁膜70として酸化シリコン(SiO₂)をキャパシタ保護絶縁膜19上に形成する。

【0245】

さらに、第2層間絶縁膜70上面をCMP法により平坦化する。例えば、CM

P後の第2層間絶縁膜20の残りの膜厚を、キャパシタQ₀の上部電極67a上で300nm程度とする。

【0246】

次に、図37(a)に示す構造を形成するまでの工程を説明する。

【0247】

まず、レジストマスク(不図示)を用いて、第1、第2層間絶縁膜58、70、キャパシタ保護絶縁膜69及びカバー絶縁膜57をエッティングすることにより第1のn型不純物拡散領域55aの上にホール58dを形成する。

【0248】

さらに、ホール58d内と第2層間絶縁膜70上に、グルー膜として膜厚30nmのTi膜と膜厚50nmのTiN膜をスパッタ法により順に形成する。さらに、CVD法によりW膜をグルー層上に成長するとともにホール58d内を完全に埋め込む。

【0249】

続いて、W膜、TiN膜及びTi膜をCMP法により研磨して第2層間絶縁膜70の上面から除去する。そして、ホール58d内に残されたタンクステン膜及びグルー層を、第3の導電性プラグ60dとする。この第3の導電性プラグ60dは第1の不純物拡散領域55aに電気的に接続される。

【0250】

次に、図37(b)に示す構造を形成するまでの工程を説明する。

【0251】

まず、第3導電性プラグ60d上と第2層間絶縁膜70上に、酸化防止膜(不図示)としてSiON膜をCVD法により100nmの厚さに形成する。さらに、酸化防止膜(不図示)、第2層間絶縁膜70及びキャパシタ保護絶縁膜69をフォトリソグラフィー法によりパターニングしてキャパシタQ₀の上部電極67a上にコンタクトホール72を形成する。

【0252】

コンタクトホール72を形成することによりダメージを受けたキャパシタQ₀はアニールによって回復される。そのアニールは、例えば酸素雰囲気中で基板温

度550°Cとして60分間行われる。

【0253】

その後に、第2層間絶縁膜70上に形成された酸化防止膜をエッチバックによって除去するとともに、第3の導電性プラグ60dの表面を露出させる。

【0254】

さらに、キャパシタQ₀の上部電極67a上のコンタクトホール72内と第2層間絶縁膜70の上に金属膜を形成する。その後に、金属膜をパターニングすることにより、第3の導電性プラグ60dに接続される導電性パッド73aと、コンタクトホール72を通して上部電極67aに接続される一層目金属配線73b、73cを形成する。その金属膜として、例えば、膜厚60nmのTi、膜厚30nmのTiN、膜厚400nmのAl-Cu、膜厚5nmのTi、及び膜70nmのTiNを順に形成した多層構造を採用する。

【0255】

さらに、第2層間絶縁膜70、一層目金属配線73b、73c及び導電性パッド73aの上に第3層間絶縁膜74を形成する。続いて、第3層間絶縁膜74をパターニングして導電性パッド73aの上にホール74aを形成し、そのホール74a内に下から順にTiN膜及びW膜からなる第4の導電性プラグ75を形成する。

【0256】

その後に、第3層間絶縁膜74上に金属膜を形成し、これをフォトリソグラフィー法によりパターニングすることにより、第4の導電性プラグ75に接続されるビット線76を形成する。ビット線76は、第4の導電性プラグ75、導電性パッド73a及び第3導電性プラグ60dを介して第1のn型不純物拡散領域55aに電気的に接続される。それに続いて、二層目配線層を覆う絶縁膜等が形成されるが、その詳細は省略する。

【0257】

上記した本実施形態において、キャパシタQ₀の底面の面積に対する第1及び第2の導電性プラグ60b、60c上端の面積の割合は10%程度であるので、NH₃プラズマ処理による第1層間絶縁膜58の膜質の改善は第1実施形態と同様

に、強誘電体膜66の結晶性改善になり、この結果、キャパシタQ₀のスイッチング電荷量Q_{sw}の増加が見られる。

(第4の実施の形態)

第3の実施の形態では、強誘電体膜66をMOCVD法により形成する工程を含むF e R A Mのメモリセル及びその製造工程を中心に説明した。

【0258】

しかし、MOCVD法に用いられる酸素と基板温度によって、第1及び第2の導電性プラグ60a, 60cを構成するタンクステンが酸化されて膨張するおそれもある。

【0259】

そこで、本実施形態では、強誘電体膜66をMOCVD法により形成する場合に、第1及び第2の導電性プラグ60a, 60cの酸化を防止する工程を含むメモリセル及びその製造工程について説明する。

【0260】

図38～図43は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図である。

【0261】

まず、図38(a)に示すように、第3実施形態に示した工程によりシリコン基板51にMOSトランジスタT₄, T₅を形成し、さらに、カバー層57、第1層間絶縁膜58を形成する。

【0262】

次に、図38(b)に示すように、レジストパターン(不図示)を用いて第1層間絶縁膜58とカバー絶縁膜57をエッチングして、メモリセル領域の第1、第2及び第3のn型不純物拡散領域55a, 55b, 55cの上にそれぞれ第1、第2及び第3のコンタクトホール58a, 58b, 58cを形成する。

【0263】

次に、図39(a)に示す構造を形成するまでの工程を説明する。

【0264】

まず、第1層間絶縁膜58上面と第1～第3のコンタクトホール58a～58

c 内面に、グルー層 59 a として厚さ 20 nm のチタン (Ti) 層と厚さ 50 nm の窒化チタン (TiN) 層をスパッタ法により順に形成する。さらに、WF₆ を用いる CVD 法によって、タングステン (W) 層 59 b をグルー層 59 a 上に成長してコンタクトホール 58 a ~ 58 c 内を完全に埋め込む。

【0265】

続いて、タングステン層 59 b とグルー層 59 a を CMP 法により研磨して第 1 層間絶縁膜 58 の上面から除去する。これにより、第 1、第 2 及び第 3 のコンタクトホール 58 a, 58 b, 58 c 内にそれぞれ残されたタングステン層 9 b 及びグルー層 59 a は、第 1、第 2 及び第 3 の導電性プラグ 60 a, 60 b, 60 c として使用される。第 1、第 2 及び第 3 の導電性プラグ 60 a, 60 b, 60 c は、それぞれ第 1、第 2 及び第 3 の n 型不純物拡散領域 55 a, 55 b, 55 c に接続される。

【0266】

次に、図 39(b) に示すように、第 1 ~ 第 3 の導電性プラグ 60 a ~ 60 c の上と第 1 層間絶縁膜 58 の上に、導電性の酸素バリアメタル層 62 としてイリジウム層をスパッタにより形成する。

【0267】

Ir 膜のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴンガス圧を 0.11 Pa、スパッタ用 DC パワーを 0.5 kW、温度を 500 °C に設定する。

【0268】

Ir 層は、p ウェル 51 a の両側寄りの第 2、第 3 の導電性プラグ 60 b, 60 c の異常酸化を防止するために十分な厚さに形成される。例えば、イリジウム層は、酸素含有雰囲気中で 550 °C の基板温度でアニールする際に導電性プラグ 60 a ~ 10 c の異常酸化を防止するために例えば 200 ~ 400 nm の厚さに形成される。

【0269】

続いて、酸素バリアメタル層 62 のうち少なくとも第 2、第 3 の導電性プラグ 60 b, 60 c の上の領域に、キャパシタ平面形状のマスク（不図示）を形成す

る。マスクとして、レジストパターンを形成する。

【0270】

次に、図40(a)に示すように、マスクに覆われない領域の酸素バリアメタル層62をエッチングすることにより、酸素バリアメタル層62を第2、第3の導電性プラグ60b、60cの上とその周辺に島状に残す。これにより、第1の導電性プラグ60aは露出する。その後にマスクは除去される。なお、マスクとして窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

【0271】

さらに、図40(b)に示すように、第1の導電性プラグ60a、酸素バリアメタル層62及び第1層間絶縁膜58の上に酸化防止絶縁膜63として酸窒化シリコン(SiON)層又は窒化シリコン(Si_3N_4)層をCVD法により例えば100nmの厚さに形成する。厚さ100nmのSiON層又は Si_3N_4 層は、約650°Cの酸素アニール下で、第1の導電性プラグ60aの酸化を防止する能力を有する。

【0272】

続いて、酸化防止絶縁膜63上に絶縁性密着層64を形成する。絶縁性密着層64は、後述するキャパシタ下部電極との密着性を向上するために形成されている。

【0273】

絶縁性密着層64として、例えばTEOSを用いるCVD法により100nmの厚さの酸化シリコン(SiO_2)層を形成する。

【0274】

次に、図41(a)に示すように、酸素バリアメタル層62をストップ層として機能させて、絶縁性密着層64と酸化防止絶縁膜63をCMPにより研磨して酸素バリアメタル層62の上面を露出させる。この場合、酸素バリアメタル層62、絶縁性密着層64及び酸化防止絶縁膜63の研磨面は平坦になる。

【0275】

続いて、アンモニア(NH_3)ガスのプラズマにより第1層間絶縁膜58表面を改質する。この場合、第1、第2導電性プラグ60a、60cは酸化されない。

【0276】

NH_3 プラズマ処理の条件として、例えば、チャンバ内に導入される NH_3 のガス流量を 350 sccm、チャンバ内の圧力を 2 Torr、基板温度を 400°C、基板に供給される 13. 56 MHz の高周波電源のパワーを 100 W、プラズマ発生領域に供給される 350 kHz の高周波電源のパワーを 55 W、電極・第 1 層間絶縁膜間の距離を 350 mils、プラズマ照射時間を 60 秒に設定する。

【0277】

この後に、図 4 1 (b) に示すように、酸素バリアメタル層 62、酸化防止絶縁膜 63 及び絶縁性密着層 64 の上に、中間層 61、第 1 の導電膜 65 を順に形成する。中間層 61 として例えば厚さ 10 nm の Ti 層を形成し、第 1 の導電膜 65 として例えば厚さ 200 nm の Ir 膜をスパッタにより順に形成する。

【0278】

それらの中間層 61、第 1 の導電膜 65 の形成条件は、第 3 実施形態に示した条件と同じにする。

【0279】

続いて、第 1 の導電膜 65 上に、強誘電体層 66 として例えば厚さ 200 nm の PZT 層を MOCVD 法により形成する。

【0280】

MOCVD 法により PZT 層は、次のような条件で形成される。

【0281】

チャンバ（不図示）内に置かれたシリコン基板 1 上での PZT 膜の成長温度を 620°C とする。そして、PZT 膜を構成する元素のうち、Pb の原料として Pb(DPM)₂、Zr の原料として Zr(dmhd)₄、Ti の原料として Ti(0-iPr)₂(DPM)₂ が用いられる。それらの原料は、THF にモル比 3% の濃度で溶解させて液状にされた状態で気化器に搬送され、気化器では例えば 260°C の温度で THF とともに気化され、酸素と混合した後にシャワーヘッドを通してチャンバ内の第 1 の導電膜 13 上に吹き付けられる。

【0282】

チャンバ内に導入される原料ガスの流量は、成長初期の 20 秒間では Pb 原料ガスが 0.365 ml/min.、Zr 原料ガスが 0.196 ml/min.、Ti 原料ガスが 0.

1.75 ml/min. に設定され、その後の 505 秒間では Pb 原料ガスが 0.376 ml/min. 、 Zr 原料ガスが 0.277 ml/min. 、 Ti 原料ガスが 0.214 ml/min. に設定される。

【0283】

そのような条件により形成された P Z T 膜の厚さは 120 nm であり、その組成は $\text{Pb}/(\text{Zr} + \text{Ti}) = 1.17$ 、 $\text{Zr}/(\text{Zr} + \text{Ti}) = 0.43$ であった。

【0284】

MOCVD 法により形成された P Z T 膜は、結晶化されているので、結晶化のためのアニールは省略される。

【0285】

なお、強誘電体膜 6 6 の形成は、第 1 実施形態と同じように、スパッタ、ゾルゲル法、CVD 法等を採用して P Z T 層を形成してもよい。また、強誘電体層 6 6 の材料として、P Z T 以外に、第 1 実施形態に示した材料を用いてもよい。

【0286】

続いて、強誘電体層 6 6 の上に、第 2 の導電膜 6 7 として例えば厚さ 200 nm の酸化イリジウム (IrO_2) をスパッタ法により形成する。

【0287】

次に、第 2 の導電膜 6 7 上に、 TiN と SiO_2 を有するハードマスク（不図示）を形成する。ハードマスクは、第 2 及び第 3 の導電性プラグ 6 0 b, 6 0 c 上の酸素バリアメタル層 6 2 の上方とその周辺にキャパシタ平面形状となるようにパターニングされている。

【0288】

続いて、ハードマスクに覆われない領域の第 2 の導電膜 6 7、強誘電体層 6 6 、第 1 の導電膜 6 5、中間層 6 1 を順次エッチングすることにより、酸素バリアメタル層 6 2、絶縁性密着層 6 4 及び酸化防止絶縁膜 6 3 の上にキャパシタ Q_1 を形成する。この場合のエッチング条件は、第 3 実施形態と同様にする。

【0289】

キャパシタ Q_1 は、図 4 2 (a) に示すように、中間層 6 1 及び第 1 の導電膜 6 5 からなる下部電極 6 5 a と、強誘電体層 6 6 からなる誘電体層 6 6 a と、第 2

の導電膜65からなる上部電極65aから構成される。

【0290】

1つのウェル51aの上方には2つのキャパシタQ₁が形成され、それらの下部電極65aはそれぞれ第2又は第3の導電性プラグ60b, 60cを介して第2又は第3のn型不純物拡散領域55b, 55cに電気的に接続される。

【0291】

ハードマスクは、キャパシタQ₁のパターン形成後に除去される。

【0292】

次に、エッティングによるダメージから強誘電体層66の質を回復するために、キャパシタの回復アニールを行う。この場合の回復アニールは、例えば、基板温度650°C、60分間の条件で酸素を含むファーネス内で行われる。

【0293】

このように強誘電体層66のバーニング直後に回復アニールなどの熱処理を施す場合、下部電極65a直下の第2、第3の導電性プラグ60b、60cの耐熱性は、酸素バリアメタル層62の酸素透過性で決まり、また、下部電極65a直下に位置しない第1の導電性プラグ60aの耐酸化性は、絶縁性密着層64と酸化防止絶縁膜63の酸素透過性で決まる。

【0294】

上記のような熱プロセスがキャパシタQ₁を形成する際にはかかるわけであるが、酸化防止絶縁膜63として窒化シリコン層を用いた場合に厚さが70nmであればタンゲステンからなる第1の導電性プラグ60aは異常酸化しない。

【0295】

次に、図42(b)に示すように、キャパシタ保護層69として厚さ50nmのアルミナをスパッタによりキャパシタQ₁と絶縁性密着層64の上に形成する。このキャパシタ保護層69は、プロセスダメージからキャパシタQ₁を保護するものであって、アルミナの他、PZTで構成してもよい。

【0296】

続いて、650°Cで60分間の条件でキャパシタQ₁をファーネス内の酸素雰囲気内でアニールする。

【0297】

その後、HDP(High Density Plasma)装置を用いて、プラズマCVD法により、第2層間絶縁膜70として厚さ $1.0\text{ }\mu\text{m}$ 程度の酸化シリコン(SiO_2)をキャパシタ保護層69上に形成する。

【0298】

さらに、第2層間絶縁膜70の上面をCMP法により平坦化する。この例では、CMP後の第2層間絶縁膜70の残りの厚さは、上部電極67a上で 300 nm 程度とする。

【0299】

次に、図43に示す構造を形成するまでの工程を説明する。

【0300】

まず、レジストマスク(不図示)を用いて、第2層間絶縁膜70、キャパシタ保護層69、絶縁性密着層64及び酸化防止絶縁膜63をエッチングすることにより、第1の導電性プラグ60aの上に第4のコンタクトホール70aを形成する。

【0301】

続いて、第4のコンタクトホール70a内と第2層間絶縁膜70上に、グルー層として厚さ 50 nm のTiN層をスパッタ法により順に形成する。さらに、CVD法によりタンゲステン層をグルー層の上に成長して第4のコンタクトホール70a内を完全に埋め込む。

【0302】

さらに、タンゲステン層、グルー層をCMP法により研磨して第2層間絶縁膜70の上面上から除去する。そして、第4のコンタクトホール70a内に残されたタンゲステン層及びグルー層を第4の導電性プラグ71とする。

【0303】

これにより、第4の導電性プラグ71は、第1の導電性プラグ60aに接続されてvia-to-viaコンタクトとなり、第1の不純物拡散領域55aに電気的に接続される。

【0304】

次に、窒素プラズマ雰囲気中で第2層間絶縁膜70を350°C、120秒の条件でアニールする。

【0305】

次に、第4の導電性プラグ71上と第2層間絶縁膜70上に、第2の酸化防止層（不図示）としてSiON層をCVD法により100nmの厚さに形成する。

【0306】

続いて、第2の酸化防止層、第2層間絶縁膜70及びキャパシタ保護層69をフォトリソグラフィー法によりパターニングしてキャパシタQ₁の上部電極67a上にホール72を形成する。ホール72を形成することによりダメージを受けたキャパシタQ₁はアニールによって回復される。そのアニールは、例えば酸素含有雰囲気中で基板温度550°Cとして60分間行われる。

【0307】

次に、第2層間絶縁膜70上に形成された第2の酸化防止層をエッチバックによって除去する。これにより、第4の導電性プラグ71の表面が露出する。

【0308】

続いて、キャパシタQ₁の上部電極67a上のホール72内と第2層間絶縁膜70の上に第3実施形態と同じ構造の金属膜を形成する。

【0309】

その後に、金属膜をパターニングすることにより、第4の導電性プラグ71に接続される導電性パッド73aと、ホール72を通して上部電極67aに接続される一層目の金属配線73b、73cとを形成する。

【0310】

この後に、第3実施形態と同じ方法によって、第3層間絶縁膜74、第5の導電性プラグ75、ビット線76などを形成する。

【0311】

上記した本実施形態において、キャパシタQ₁に対する島状の酸素バリアメタル層62に対する面積の割合は10%程度であるり、NH₃プラズマに曝された絶縁性密着層64の上のキャパシタQ₁を構成する下部電極65aの結晶配向方向が揃い、その上の強誘電体膜66は結晶性が従来よりも改善され、この結果、

キャパシタQ₁のスイッチング電荷量Q_{sw}の増加が見られる。

【0312】

即ち、第1の導電膜65（下部電極64a）の（111）配向強度が高くなり、第1の導電膜65上に620℃の高い基板温度でMOCVD法によりPZT強誘電体膜66を形成すると、強誘電体膜66を構成するグレインのうち90%以上が（111）配向に揃う。これにより、第2実施形態と同様に、本実施形態のメモリセルのインプリント特性が向上した。

【0313】

また、MOCVD法により強誘電体膜66を形成する際には、タングステンよりも導電性プラグ60b、60cが酸化バリアメタル層62に覆われているので、酸素による導電性プラグ60b、60cの異常酸化が発生しない。

【0314】

ただし、強誘電体膜66の成長温度が高すぎると導電性プラグ60b、60cが酸化され易い。従って、導電性プラグ60b、60cの酸化を防止するためには650℃以下の温度が好ましい。また、PZT膜でのグレインの（111）配向比率を90%以上にするためには、600℃以上の成長温度が必要となる。

【0315】

これらのことから、導電性プラグ60b、60cが下部電極65aに接続するスタック構造のキャパシタQ₁の形成工程においては、強誘電体膜66を600～650℃の成長温度で形成することが好ましい。

【0316】

なお、第3実施形態と同じように、図39(a)に示す状態で、第1の層間絶縁膜58の表面をNH₃プラズマ処理を行い、かつその上にTi膜を介して酸素バリアメタル膜62を形成してもよい。

（第5の実施の形態）

本実施形態では、酸素バリアメタル層62として形成されるイリジウム層をキャパシタQの下部電極14aの一部を構成する構造について説明する。

【0317】

図44～図48は、本発明の第5実施形態の半導体装置の製造工程を示す断面

図である。

【0318】

まず、図44(a)に示す構造を形成するまでの工程を説明する。

【0319】

第4実施形態に示した工程によりシリコン基板51にMOSトランジスタT₄, T₅を形成し、カバー層57、第1層間絶縁膜58を形成し、さらに第1～第3の導電性プラグ60a～60cを形成する。

【0320】

この後に、第3実施形態と同様な条件により、NH₃ガスのプラズマにより第1層間絶縁膜58表面を改質する。この場合、第1～第3導電性プラグ60a～60cは酸化されない。

【0321】

続いて、図44(b)に示すように、第1層間絶縁膜58及び第1～第3導電性プラグ60a～60cの上に、中間層61としてTi層をスパッタにより10nmの厚さに形成する。Ti層のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴンガス圧を0.15Pa、スパッタ用DCパワーを2.6kW、スパッタ時間を7秒、温度を20°Cに設定する。

【0322】

次に、図45(a)に示すように、中間層61の上に導電性の酸素バリアメタル層62aとしてイリジウム層をスパッタにより形成する。この酸素バリアメタル層62aは、後述するようにキャパシタQの下部電極の一部となる。Ir膜のスパッタ条件として、例えば、スパッタ雰囲気に導入されるアルゴンガス圧を0.1Pa、スパッタ用DCパワーを0.5kW、温度を500°Cに設定する。

【0323】

酸素バリアメタル層62aとなるIr層は、導電性プラグ60a～60cの異常酸化を防止するために十分な厚さに形成され、例えば酸素含有雰囲気中で550°Cの基板温度でアニールする際に導電性プラグ60a～60cの異常酸化を防止するために例えば200nmの厚さに形成され、さらに基板温度が100°C上がるごとに厚さを100nmずつ加えて形成される。即ち、イリジウム層が400

n mあれば、イリジウム層は750°Cの酸素アニールに対して導電性プラグ60a～60cの酸化を防止できる。

【0324】

続いて、酸素バリアメタル層62aのうち第2、第3の導電性プラグ60b、60cの上方とその周辺の領域にマスクM₁を形成する。マスクM₁の平面形状は後述するキャパシタの下部電極の形状とする。マスクM₁としてレジストを用いてもよいし、窒化チタン、酸化シリコン等のハードマスクを用いてもよい。

【0325】

次に、図45(b)に示すように、マスクM₁に覆われない領域の酸素バリアメタル層62a及び中間層61をエッチングすることにより、酸素バリアメタル層62a及び中間層61を第2、第3の導電性プラグ60b、60cの上とその周辺の第1の絶縁性密着層61の上にキャパシタの大きさに残す。酸素バリアメタル層62aのエッチングガスとしてハロゲン系ガスが使用される。これにより、第1の導電性プラグ10aは露出する。

【0326】

続いて、マスクM₁が除去される。

【0327】

その後に、図46(a)に示すように、第1の導電性プラグ60a、酸素バリアメタル層62a及び第1層間絶縁膜58の上に、酸化防止絶縁膜63として酸窒化シリコン(SiON)層又は窒化シリコン(Si₃N₄)層をCVD法により例えば100nmの厚さに形成する。続いて、酸化防止絶縁膜63上に、絶縁性密着層64aとして例えばTEOSを用いるCVD法により例えば厚さ300nmの酸化シリコン(SiO₂)層を形成する。

【0328】

さらに、図46(b)に示すように、酸素バリアメタル層62aをストップバー層として機能させて、CMPにより絶縁性密着層64aと酸化防止絶縁膜63を研磨することにより酸素バリアメタル層62aの上面を露出させる。この場合、酸素バリアメタル層62a、第2の絶縁性密着層64a及び酸化防止絶縁膜63の上面は、CMPによって平坦化される。

【0329】

この後に、図47(a)に示すように、酸素バリアメタル層62a、酸化防止絶縁膜63及び絶縁性密着層64aの上に、第1の導電膜65bとして例えば厚さ30nmのIr層をスパッタにより順に形成する。

【0330】

なお、第1の導電膜65bを形成する前又は後に、第4実施形態と同様に、絶縁性密着層64aをNH₃プラズマに曝してもよい。

【0331】

続いて、第1の導電膜65b上に、強誘電体層66として例えば厚さ200nmのPZT層をMOCVD法により形成する。MOCVD法による強誘電体層66の形成条件は第4実施形態と同様に設定される。

【0332】

なお、強誘電体層66の形成方法は、第1実施形態に示した他の方法を採用してもよい。また、強誘電体層66の材料として、PZT以外に、第1実施形態に示した材料を採用してもよい。

【0333】

続いて、強誘電体層66の上に、第2の導電膜67として例えば厚さ200nmのIrO₂層をスパッタ法により形成する。

【0334】

次に、第2の導電膜67上にTiN層とSiO₂層を順に形成する。TiN層はスパッタにより形成され、また、SiO₂層はTEOSを用いるCVD法により形成される。TiN層とSiO₂層は、第2、第3の導電性プラグ60b、60cの上方で酸素バリアメタル層62aとほぼ同じ平面形状にパターニングされることによりハードマスクM₂となる。

【0335】

続いて、ハードマスクM₂に覆われない領域の第2の導電膜67、強誘電体層66、第1の導電膜65bを順次エッチングする。なお、そのエッチングにより絶縁性密着層64aがエッチングされても、その下の酸化防止絶縁膜63がエッチングストッパーとして機能するので、第1の導電性プラグ60aが露出するこ

とはい。

【0336】

以上により、図47(b)に示すように、第1層間絶縁膜58上にはキャパシタ Q_2 が形成される。キャパシタ Q_2 の下部電極65aは、第1の導電膜65b、酸素バリアメタル層62a及び中間層61によって構成される。また、キャパシタ Q_2 の誘電体層66aは強誘電体層66から構成され、さらにキャパシタ Q_2 の上部電極67aは第2の導電膜67から構成される。

【0337】

キャパシタ Q_2 は、1つのウェル51aの上方に2つ配置され、それらの下部電極65aはそれぞれ第2又は第3の導電性プラグ60b, 60cを介して第2又は第3のn型不純物拡散領域55b, 55cに電気的に接続される。

【0338】

ハードマスク M_2 は、キャパシタ Q_2 のパターン形成後に除去される。

【0339】

次に、強誘電体層66の膜質をエッチングによるダメージから回復するためにキャパシタ Q_2 の回復アニールを行う。この場合の回復アニールは、例えば、基板温度650°C、60分間の条件で酸素を含むファーネス内で行われる。

【0340】

このように強誘電体層66のバーニング直後に回復アニールなどの熱処理を施す場合、下部電極65a直下の第2、第3の導電性プラグ60b、60cの耐熱性は、酸素バリアメタル層62aの酸素透過性で決まり、また、下部電極65a直下に位置しない第1の導電性プラグ60aの耐酸化性は、第2の絶縁性密着層64aと酸化防止絶縁膜63の酸素透過性で決まる。

【0341】

次に、図48に示す構造を形成するまでの工程について説明する。

【0342】

まず、キャパシタ Q_2 、酸化防止絶縁膜64及び第2の絶縁性密着層64a上に、キャパシタ保護層69として厚さ50nmのアルミナをスパッタにより形成する。さらに、第3実施形態に示した工程に従って、第4導電性プラグ71、導

電性パッド73a、一層目配線73b、73c、第3層間絶縁膜74、第5の導電性プラグ75、ピット線76等を形成する。

【0343】

以上の工程において、NH₃ プラズマ処理された第1の絶縁性密着層61の上に中間層61、酸素バリアメタル層62aが形成され、中間層61、酸素バリアメタル層62aは下部電極65aの一部を構成する。

【0344】

従って、酸素バリアメタル層62aだけでなく、その上の第1の導電膜65(下部電極65a)の(111)配向強度も高くなり、第1の導電膜65上に620°Cの高い基板温度でMOCVD法によりPZT強誘電体膜66を形成すると、強誘電体膜66を構成するグレインのうち90%以上を(111)配向に揃えることができ、第2実施形態と同様にメモリセルのインプリント特性が向上する。

【0345】

しかも、MOCVD法により強誘電体膜66を形成する際には、タンゲステンよりも導電性プラグ60b、60cが酸化バリアメタル層62aに覆われているので、導電性プラグ60b、60cの異常酸化が発生しない。

【0346】

なお、キャパシタQ₂の形成工程においては、第4実施形態と同様に、強誘電体膜66を600～650°Cの成長温度で形成することが好ましい。

【0347】

ところで、上記した実施形態では、N-H結合を有するガスのプラズマに絶縁膜を曝した後に、絶縁膜の上に中間層、第1の導電膜をスパッタによって形成したが、プラズマCVD法、MOCVD法、メッキ法によって形成してもよい。

(付記1) 半導体基板の上方に絶縁膜を形成する工程と、

水素と窒素が結合した分子構造を有するガスのプラズマを励起して前記絶縁膜に照射する工程と、

前記絶縁膜の上に自己配向性を有する物質からなる自己配向層を形成する工程と、

前記自己配向層の上に自己配向性を有する導電物質からなる第1の導電膜を形

成する工程と

を有することを特徴とする半導体装置の製造方法。

(付記2) 前記ガスはアンモニアガスであることを特徴とする付記1に記載の半導体装置の製造方法。

(付記3) 前記プラズマを前記絶縁膜に照射した後に、前記絶縁膜を真空雰囲気に置いた状態を維持しつつ、前記自己配向層が前記絶縁膜上に形成されることを特徴とする付記1又は付記2に記載の半導体装置の製造方法。

(付記4) 前記真空状態は、 1×10^{-3} Torr以下の圧力であることを特徴とする付記3に記載の半導体装置の製造方法。

(付記5) 前記プラズマを前記絶縁膜に照射した後であって前記自己配向膜の形成前に、前記絶縁膜の表面を脱水することを特徴とする付記1乃至付記4のいずれかに記載の半導体装置の製造方法。

(付記6) 前記水の除去は、前記第1の導電膜上のアルコールの塗布によって行われることを特徴とする付記5に記載の半導体装置の製造方法。

(付記7) 前記自己配向層は、チタン、アルミニウム、シリコン、銅、タンタル、窒化タンタル、イリジウム、酸化イリジウム、プラチナのいずれかから構成されることを特徴とする付記1乃至付記6のいずれかに記載の半導体装置の製造方法。

(付記8) 前記第1の導電層は、チタン、アルミニウム、シリコン、銅、タンタル、窒化タンタル、イリジウム、酸化イリジウム、プラチナのいずれかから構成されることを特徴とする付記1乃至付記7のいずれかに記載の半導体装置の製造方法。

(付記9) 上記した第1の導電膜は、スパッタ法、プラズマCVD法、MOCVD法、メッキ法のいずれかによって形成されることを特徴とする付記1乃至付記8のいずれかに記載の半導体装置の製造方法。

(付記10) 前記第1の導電膜と前記自己配向層をパターニングして導電パターンを形成する工程をさらに有することを特徴とする付記1乃至付記9のいずれかに記載の半導体装置の製造方法。

(付記11) 前記導電パターンは、電極、配線のいずれかであることを特徴とす

る付記10に記載の半導体装置の製造方法。

(付記12) 前記プラズマを前記絶縁膜に照射する前に、前記絶縁膜のうち前記導電パターンが形成される領域の一部の下にホールを形成し、さらに該ホール内に導電性プラグを形成する工程を有することを特徴とする付記10又は付記11に記載の半導体装置の製造方法。

(付記13) 前記導電パターンを形成する領域の一部には、前記絶縁膜から露出する島状の酸素バリアメタルが形成され、前記酸素バリアメタルの下には導電プラグが形成されていることを特徴とする付記10に記載の半導体装置の製造方法。

(付記14) 前記自己配向層及び前記第1の導電膜をパターニングして前記導電プラグの上とその周囲にキャパシタ下部電極を形成する工程と、

前記キャパシタ下部電極及び前記絶縁膜の上に酸化防止絶縁膜と密着絶縁膜を順に形成する工程と、

前記密着層及び前記酸化防止絶縁膜を研磨して前記キャパシタ下部電極の上面を露出させる工程と、

前記第1の導電膜と同じ材料からなる上側導電膜を前記前記密着層、前記酸化防止絶縁膜及び前記キャパシタ下部電極の上に形成する工程と、

前記上側導電膜の上に強誘電体膜を形成する工程と、

前記強誘電体膜に第2の導電膜を形成する工程と、

前記第2の導電膜、前記強誘電体膜及び前記上側導電膜をパターニングして前記キャパシタ下部電極に合わせたキャパシタ形状にパターニングする工程とを有することを特徴とする付記1乃至付記9のいずれかに記載の半導体装置の製造方法。

(付記15) 前記第1の導電膜の上に強誘電体膜を形成する工程と、

前記強誘電体膜の上に第2の導電膜を形成する工程と、

前記第2の導電膜をパターニングしてキャパシタ上部電極を形成する工程と、

前記強誘電体膜をパターニングして少なくとも前記キャパシタ上部電極の下に残す工程と、

前記第1の導電膜及び前記自己配向層をパターニングすることにより少なくと

も前記キャパシタ上部電極の下方にキャパシタ下部電極を形成する工程とを有することを特徴とする付記1乃至付記13のいずれかに記載の半導体装置の製造方法。

(付記16) 前記強誘電体膜を形成した後に、酸素雰囲気中で熱により前記強誘電体膜を結晶化し、

ついで、前記第2の導電膜を形成した後に、酸素雰囲気中で熱により前記第2の導電膜を通して前記強誘電体膜を加熱することを特徴とする付記14又は付記15に記載の半導体装置の製造方法。

(付記17) 前記第2の導電膜は、下部導電膜と上部導電膜の2ステップの形成工程を有し、

前記下部導電膜を形成する前と形成した後に、それぞれ前記強誘電体膜を酸素雰囲気で加熱する工程をさらに有することを特徴とする付記14又は付記15のいずれかに記載の半導体装置の製造方法。

(付記18) 前記強誘電体膜は、PZT、又は、カルシウム、ストロンチウム、ランタンの少なくとも1つがドープされたPZTであることを特徴とする付記14乃至付記17のいずれかに記載の半導体装置の製造方法。

(付記19) 前記強誘電体膜は、スピノン法、ソルゲル法、MOD法、MOCVDのいずれかの方法により形成されることを特徴とする付記14乃至付記18のいずれかに記載の半導体装置の製造方法。

(付記20) 前記強誘電体膜を前記MOCVD法により形成する場合には、基板温度を600～650℃に設定することを特徴とする付記19に記載の半導体装置の製造方法。

(付記21) 前記強誘電体膜を構成するグレインの90%以上が(111)配向を有することを特徴とする付記20に記載の半導体装置の製造方法。

【0348】

【発明の効果】

以上述べたように本発明によれば、水素と窒素が結合した分子構造を有するガス、例えばNH₃ガスのプラズマを絶縁膜上に照射し、その後に絶縁膜上に自己配向性を有する自己配向性膜を形成すると、自己配向性膜はそれ自信で配向性が良

く成長し、さらにその上層にある強誘電体材料のような機能膜に働きかけて良好な結晶性を形成することができる。

【図面の簡単な説明】

【図1】

図1は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その1）である。

【図2】

図2(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その2）である。

【図3】

図3(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その3）である。

【図4】

図4(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その4）である。

【図5】

図5(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その5）である。

【図6】

図6(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その6）である。

【図7】

図7(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その7）である。

【図8】

図8(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その8）である。

【図9】

図9(a),(b)は、本発明の第1実施形態に係る半導体装置の製造工程を示す断

面図（その9）である。

【図10】

図10は、本発明の第1実施形態に係る半導体装置の製造工程を示す断面図（その10）である。

【図11】

図11は、キャパシタの下の絶縁膜にNH₃ プラズマ処理を行わない従来装置の“0”、“1”マージンを示す図である。

【図12】

図12は、キャパシタの下の絶縁膜にNH₃ プラズマ処理を行った本発明に係る実施形態の従来装置の“0”、“1”マージンを示す図である。

【図13】

図13は、絶縁膜の第1実施形態により処理された絶縁膜のNH₃ プラズマ処理からTi成膜までの大気放置依存性を示す図である。

【図14】

図14は、絶縁膜の第1実施形態により処理された絶縁膜のNH₃ プラズマ処理放置後の復活処理依存性を示す図である。

【図15】

図15は、絶縁膜の第1実施形態により処理された絶縁膜のNH₃ プラズマ処理放置後のH₂O 依存性を示す図である。

【図16】

図16は、絶縁膜の第1実施形態により処理された絶縁膜のNH₃ プラズマ処理放置後の雰囲気圧力依存性を示す図である。

【図17】

図17は、本発明の実施形態に用いられるNH₃ プラズマ処理とTi形成のための装置の構成図である。

【図18】

図18は、SiO₂膜に対するNH₃ プラズマ処理の有無の関係においてSiO₂膜上へ形成されたTi膜のXRDロッキングカーブである。

【図19】

図19は、様々なガスを用いたときのTi配向強度比較の結果を示す図である。

【図20】

図20は、 NH_3 プラズマ処理の有無による SiO_2 膜中の元素同士の結合状態をしの変化を示す図である。

【図21】

図21は、 NH_3 プラズマ処理の有無によるTiの成長過程を示す原子モデルである。

【図22】

図22は、 $(\text{N}_2 + \text{H}_2)$ プラズマ処理された SiO_2 膜上のTi膜の(002)配向強度と、 NH_3 プラズマ処理された SiO_2 膜上のTi膜の(002)配向強度を示す図である。

【図23】

図23は、絶縁膜の NH_3 プラズマ処理時の基板温度とその絶縁膜上のTi膜の(002)配向強度との関係を示す図である。

【図24】

図24は、絶縁膜の NH_3 プラズマ処理時の基板パワー強度とその絶縁膜上のTi膜の(002)配向強度との関係を示す図である。

【図25】

図25は、絶縁膜の NH_3 プラズマ処理時間と NH_3 プラズマ処理された絶縁膜上のTi膜の(002)配向強度との関係を示す図である。

【図26】

図26は、 NH_3 プラズマ処理された絶縁膜とされない絶縁膜上にそれぞれのTi膜の配向特性のロッキングカーブである。

【図27】

図27は、 NH_3 プラズマ処理された絶縁膜上とされない絶縁膜上にそれぞれTi膜を介して形成されたPZT膜の配向特性のロッキングカーブである。

【図28】

図28は、 NH_3 プラズマ処理された絶縁膜上とされない絶縁膜上のAl-Cu膜の(111)配向強度を示す図である。

【図29】

図29は、従来方法で成膜したIr膜上のPZT膜と本発明により成膜したIr/Ti膜上のPZT膜のぞれぞれのXRDプロファイルである。

【図30】

図30は、従来方法で成膜したPZTを用いた強誘電体キャパシタと本発明により成膜したPZTを用いた強誘電体キャパシタのぞれぞれの電気特性を示す図である。

【図31】

図31は、従来方法で成膜したPZTを用いた強誘電体キャパシタと本発明により成膜したPZTを用いた強誘電体キャパシタのぞれぞれのインプリント特性を示す図である。

【図32】

図32は、不良ピットが発生するキャパシタの断面図とPZT結晶の電子回折像である。

【図33】

図33は、不良ピットが発生しないキャパシタの断面図である。

【図34】

図34(a)～(c)は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その1）である。

【図35】

図35(a),(b)は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その2）である。

【図36】

図36(a),(b)は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その3）である。

【図37】

図37(a),(b)は、本発明の第3実施形態に係る半導体装置の製造工程を示す断面図（その4）である。

【図38】

図38(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その1）である。

【図39】

図39(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その2）である。

【図40】

図40(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その3）である。

【図41】

図41(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その4）である。

【図42】

図42(a),(b)は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その5）である。

【図43】

図43は、本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その6）である。

【図44】

図44(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その1）である。

【図45】

図45(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その2）である。

【図46】

図46(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その3）である。

【図47】

図47(a),(b)は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その4）である。

【図48】

図48は、本発明の第5実施形態に係る半導体装置の製造工程を示す断面図（その5）である。

【符号の説明】

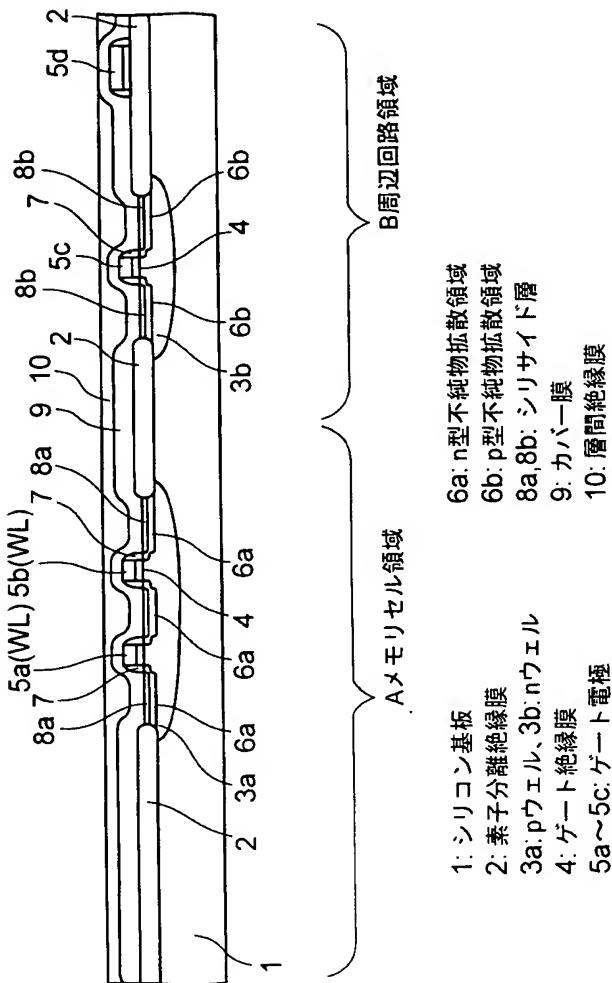
1…シリコン基板、2…素子分離絶縁膜、3a…pウェル、3b…nウェル、4…ゲート絶縁膜、5a, 5b…ゲート電極、6a…n型不純物拡散領域、6b…p型不純物拡散領域、8a, 8b…ンシリサイド層、10…層間絶縁膜、11…中間層（自己配向層）、13…強誘電体膜、14…導電膜、15, 15a…エンキップ層、16…層間絶縁膜、17a～17f…導電性プラグ、20a, 20c, 20d～20f…配線、20b…導電パッド、51…シリコン基板、52…素子分離絶縁膜、53…ゲート絶縁膜、54a, 54b…ゲート電極、55a～55c…不純物拡散領域、57…カバー絶縁膜、58a～58c…コンタクトホール、60a～60c…導電性プラグ、61…中間層（自己配向層）、62, 62a…酸素バリアメタル層、63…酸化防止絶縁膜、64…絶縁性密着層、65, 65b…第1導電膜、66…強誘電体膜、67…第2導電層、69…キャバシタ保護膜、70…層間絶縁膜、65a…下部電極、66a…誘電体層、67a…上部電極、Q, Q₀, Q₁, Q₂…キャバシタ。

【書類名】

図面

【図1】

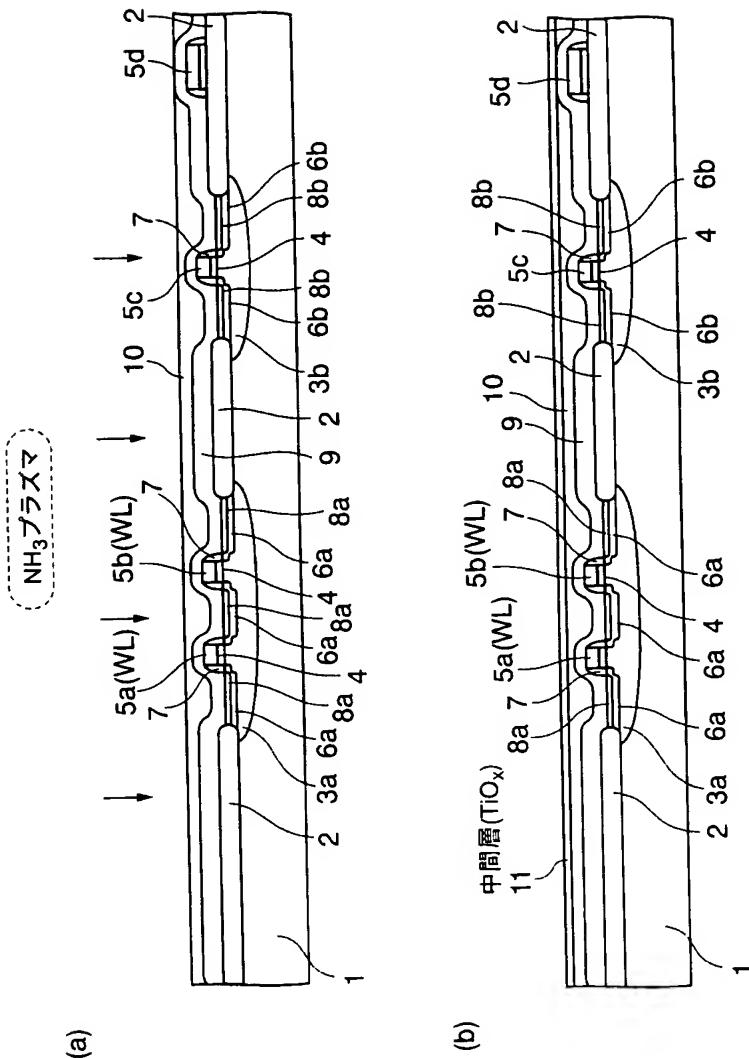
本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その1)



- 1: シリコン基板
- 2: 素子分離絶縁膜
- 3a, pウェル、3b: nウェル
- 4: ゲート絶縁膜
- 5a～5c: ゲート電極
- 6a: n型不純物拡散領域
- 6b: p型不純物拡散領域
- 8a, 8b: シリサイド層
- 9: カバー膜
- 10: 層間絶縁膜

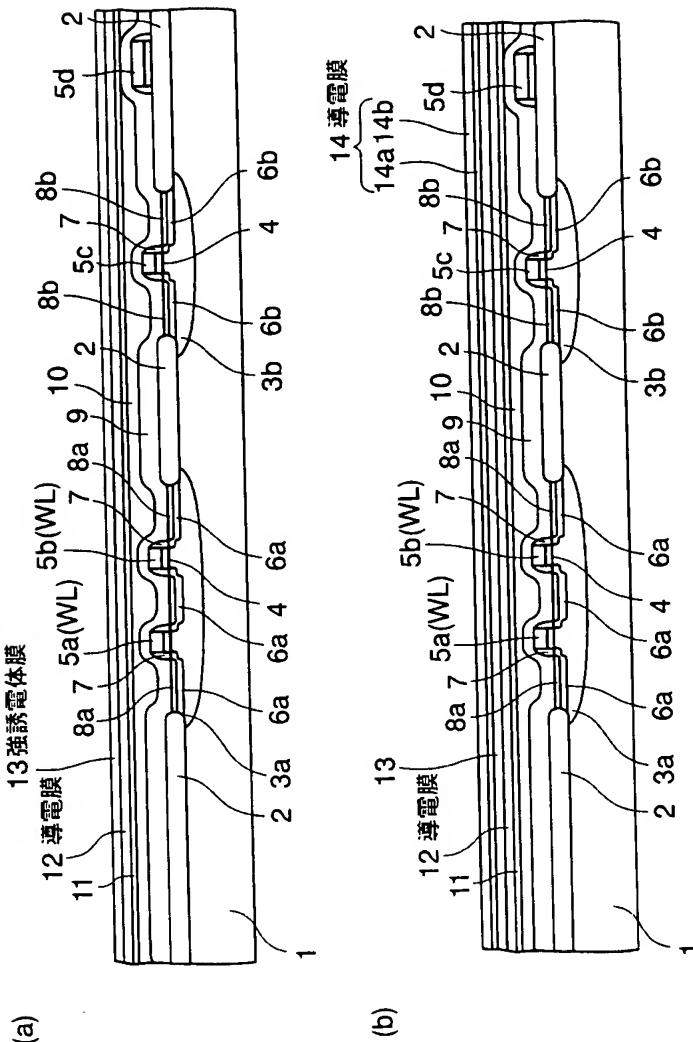
【図2】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その2)



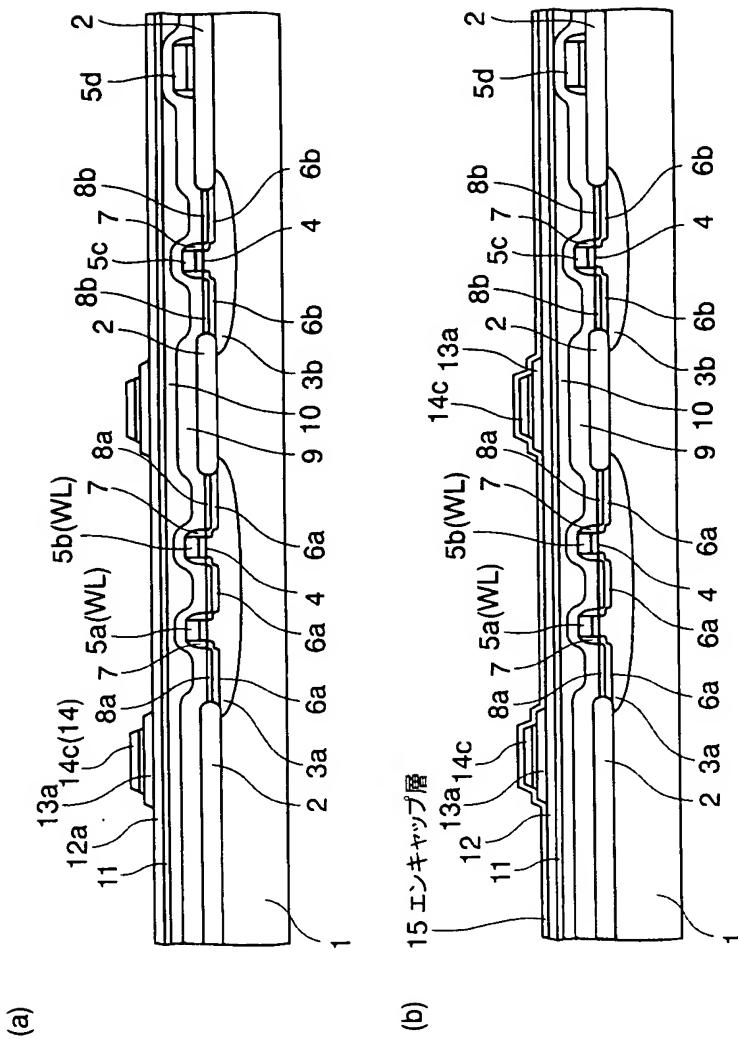
【図3】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その3)



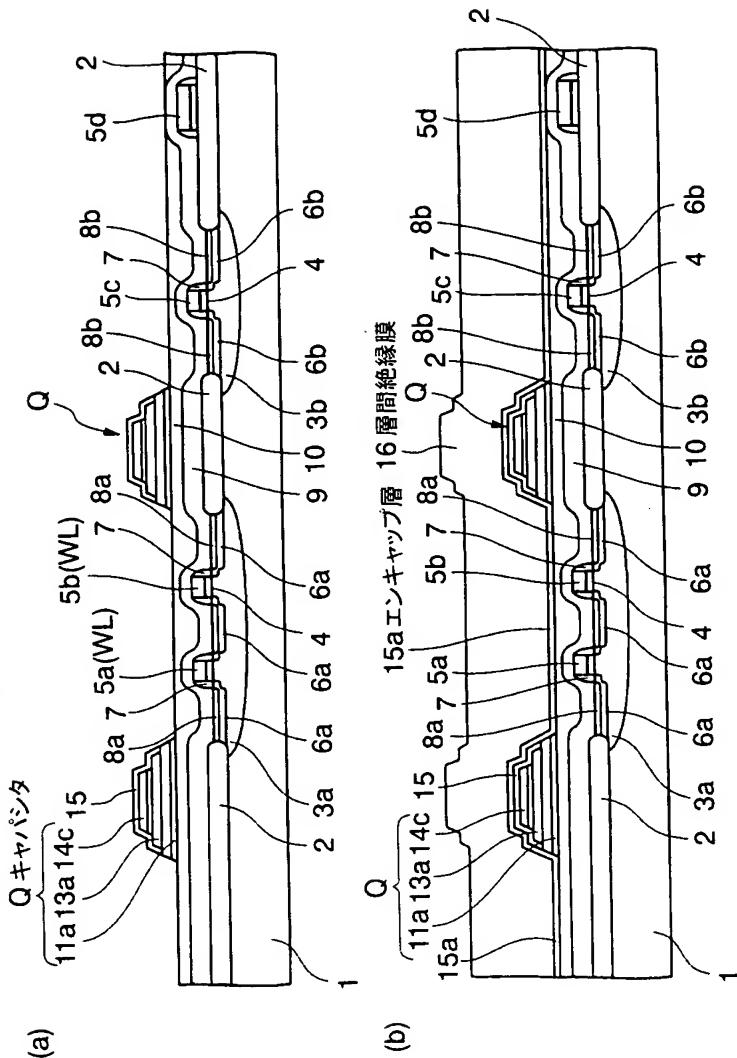
【図4】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その4)

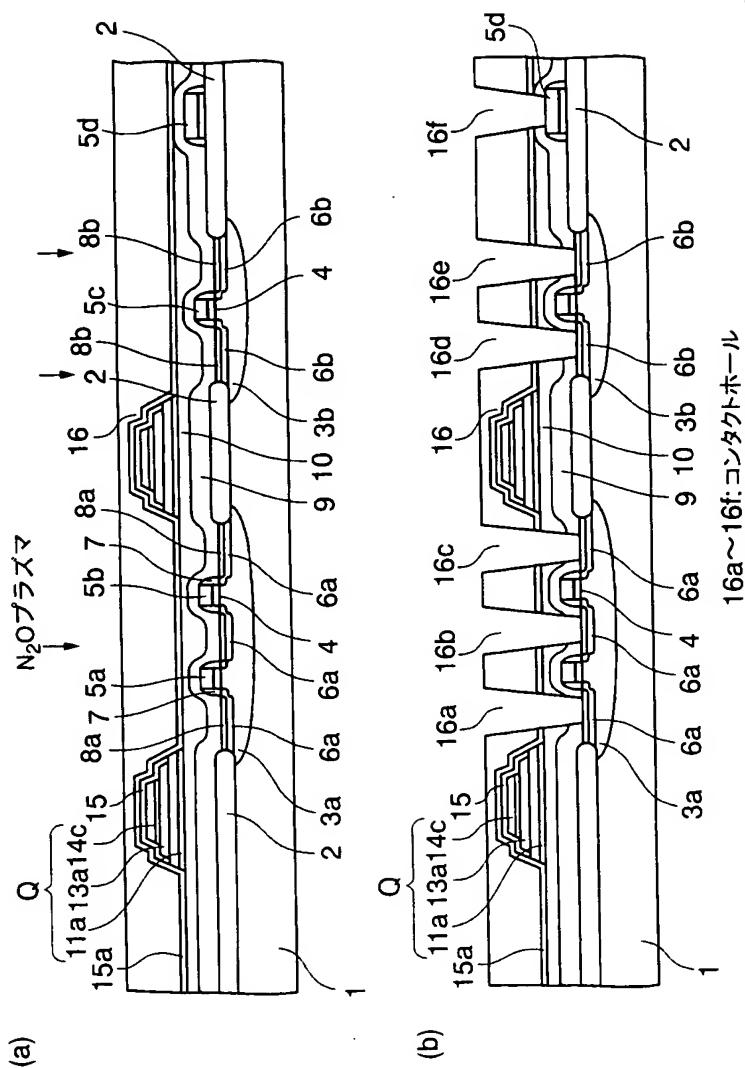


【図5】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その5)

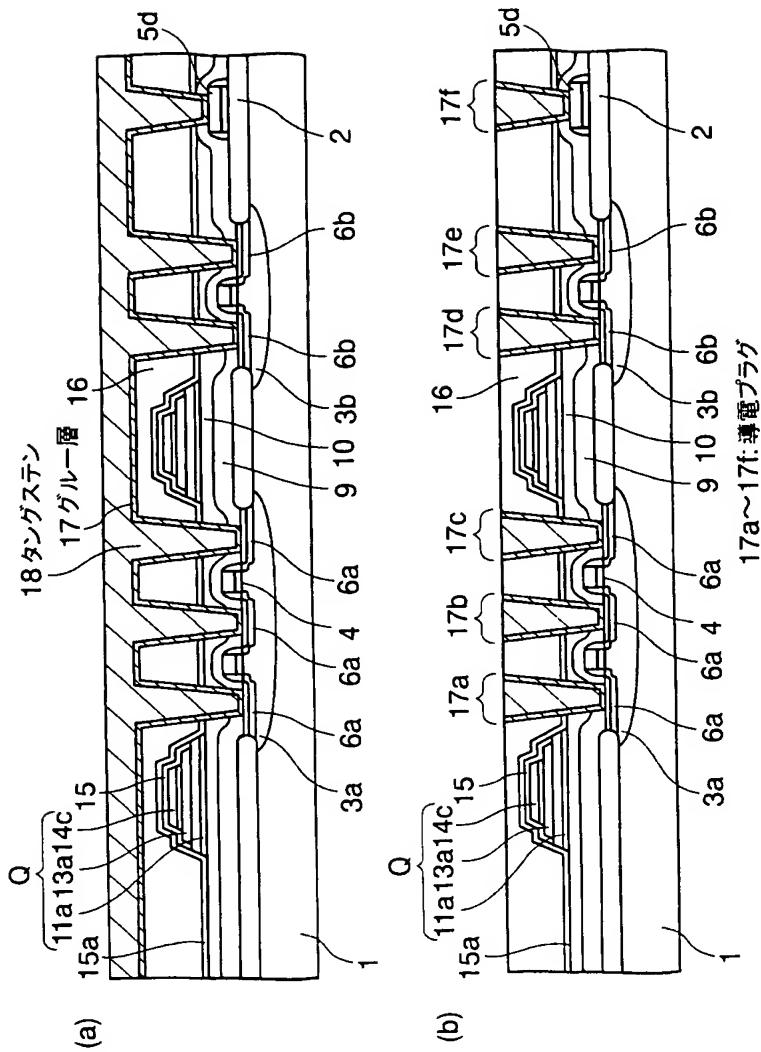


【図6】



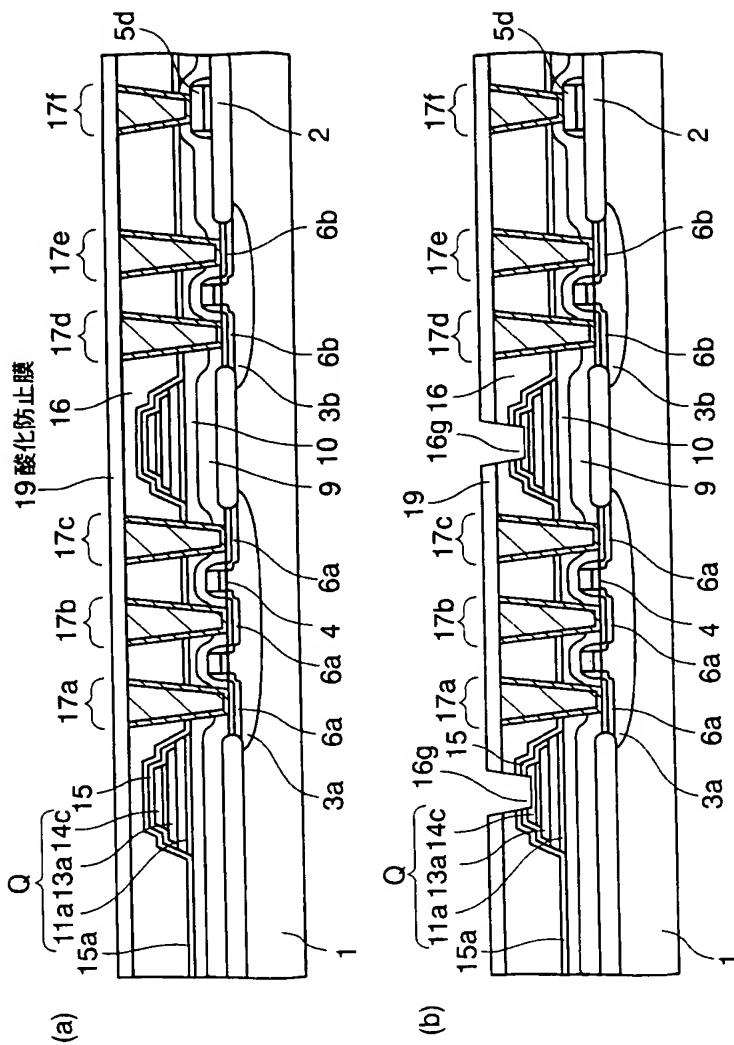
【図7】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その7)



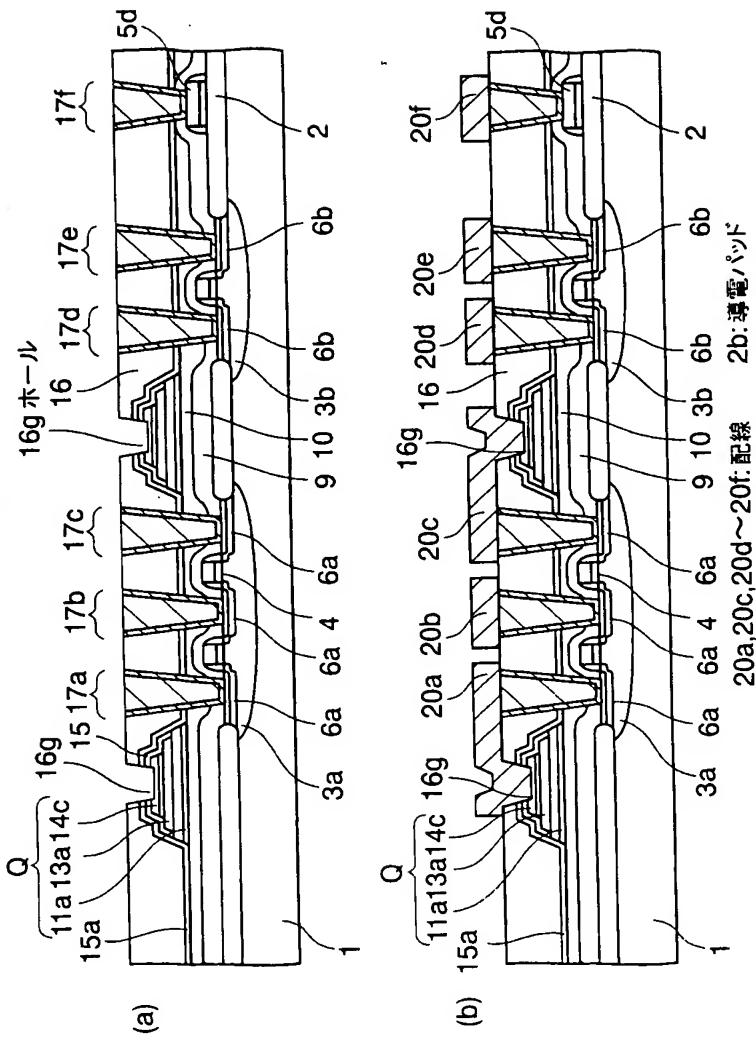
【図8】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その8)



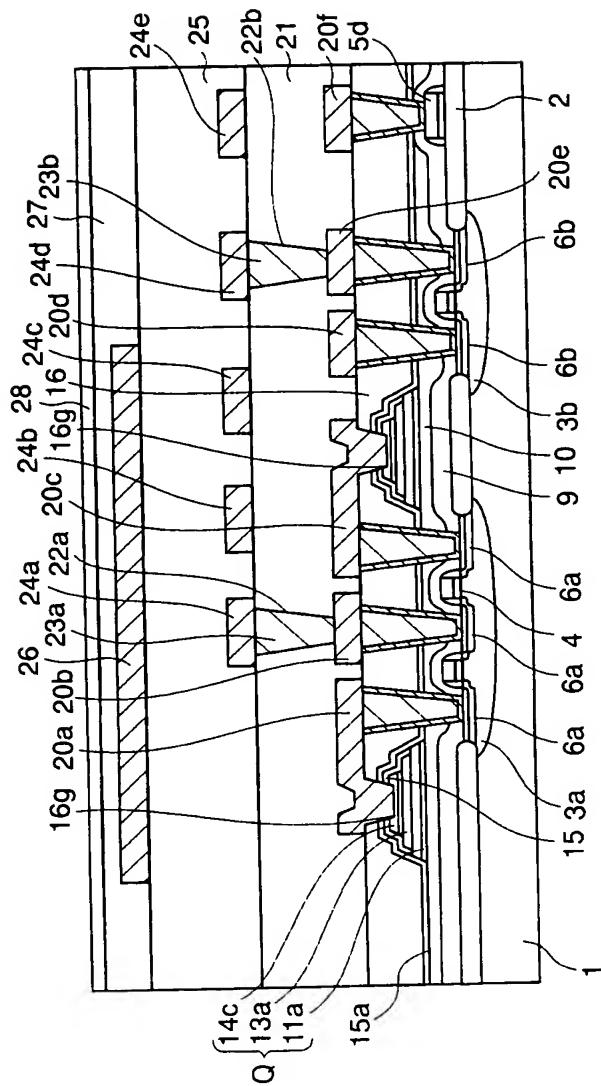
【図9】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その9)



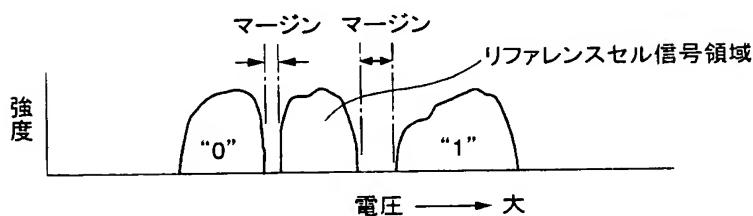
【図10】

本発明の第1実施形態に係る半導体装置の製造工程を示す断面図(その10)



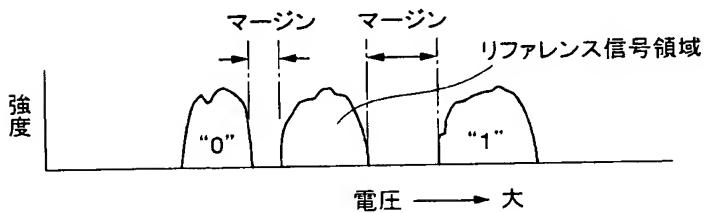
【図11】

キャパシタの下の絶縁膜にNH₃プラズマ処理を行わない従来装置の“0”, “1”マージン



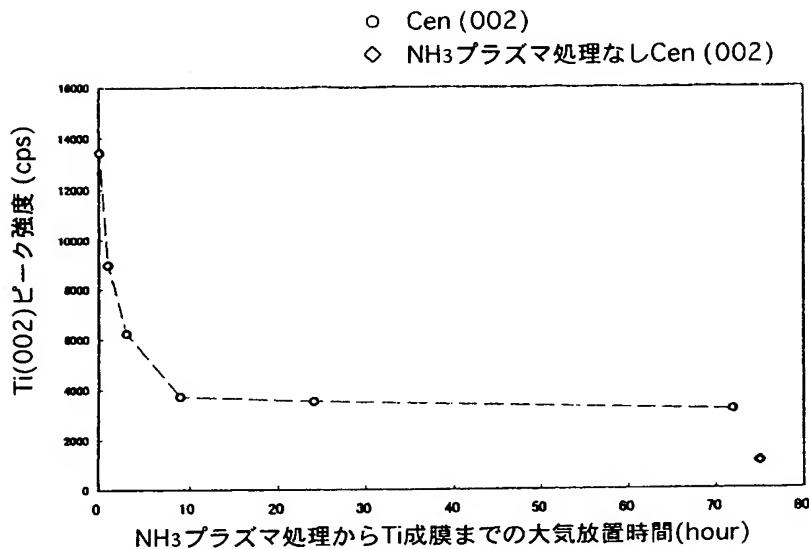
【図12】

キャパシタの下の絶縁膜にNH₃プラズマ処理を行なった本発明の実施形態の装置の“0”, “1”マージン



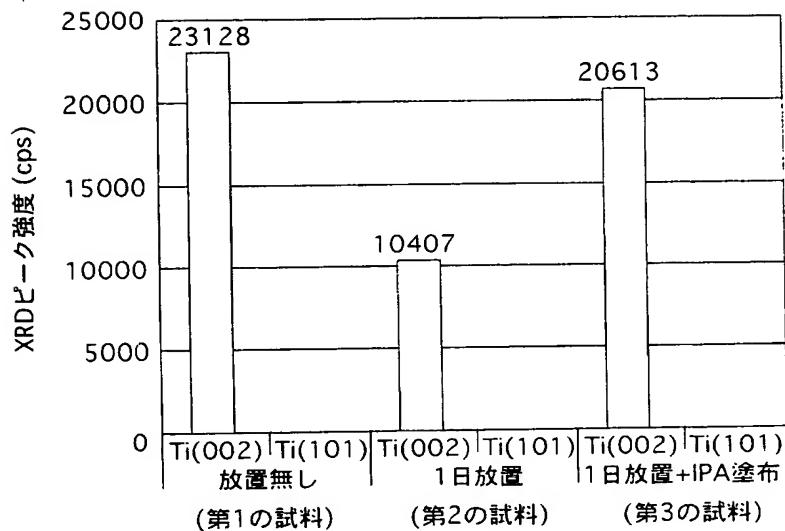
【図13】

本発明の第1実施形態により処理された絶縁膜の
NH₃プラズマ処理からTi成膜までの大気放置依存性



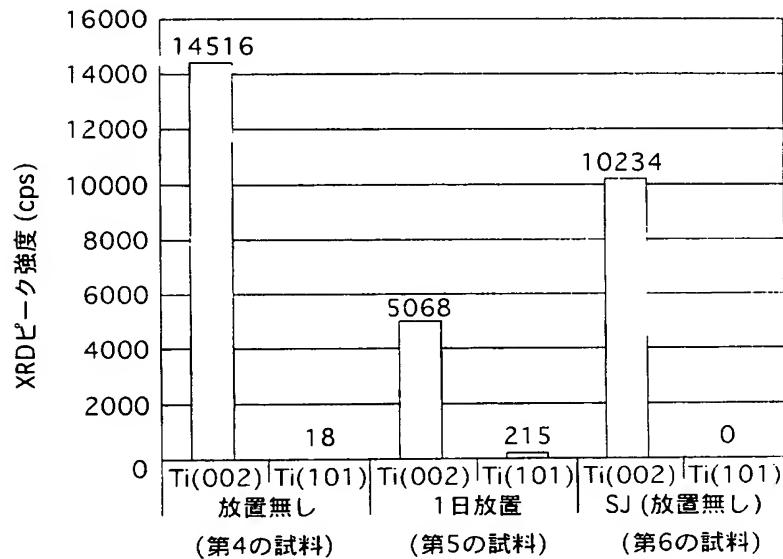
【図14】

本発明の第1実施形態により処理された絶縁膜の
NH₃プラズマ処理放置後の処理依存性



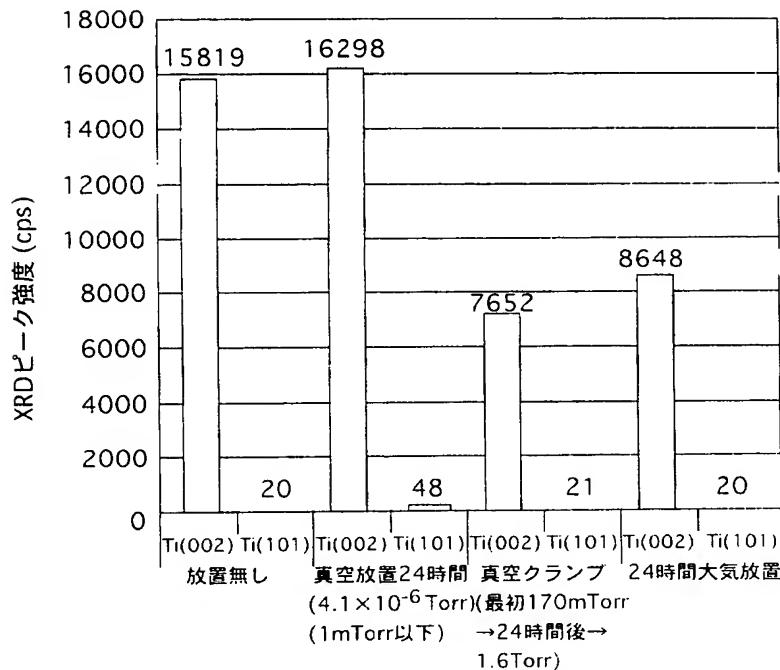
【図15】

本発明の第1実施形態により処理された絶縁膜の
NH₃プラズマ処理放置後のH₂O依存性



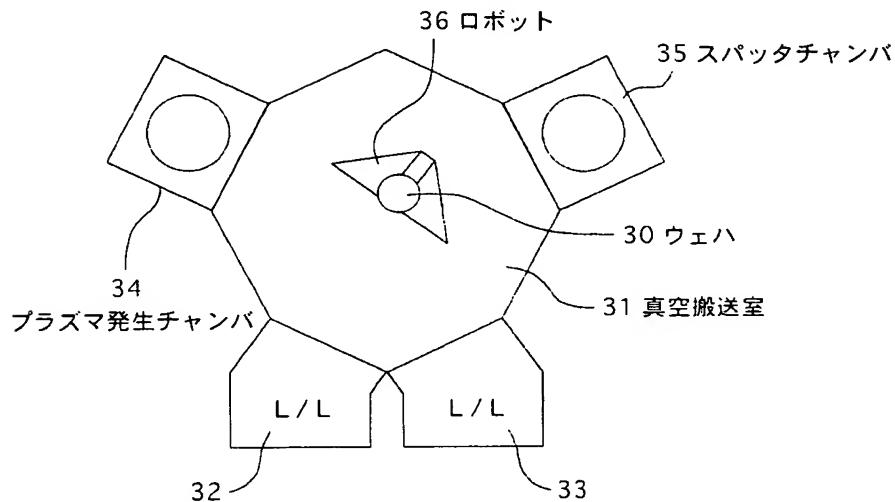
【図16】

本発明の第1実施形態により処理された絶縁膜の
NH₃プラズマ処理後の雰囲気圧力依存性



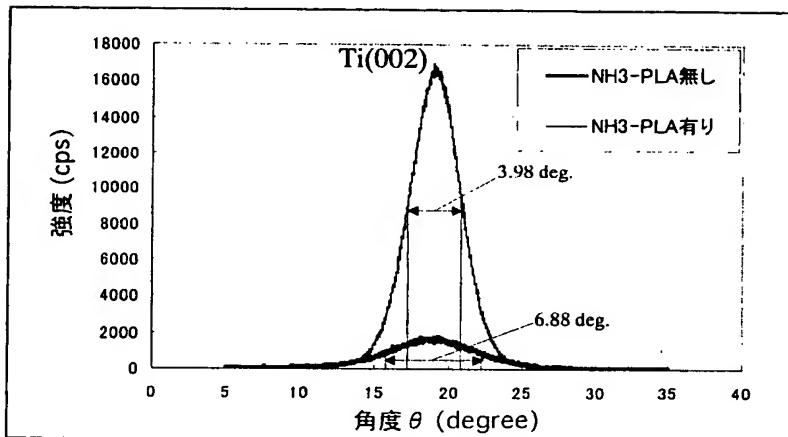
【図17】

本発明の実施形態に用いられるNH₃プラズマ処理とTi形成のための装置の構成



【図18】

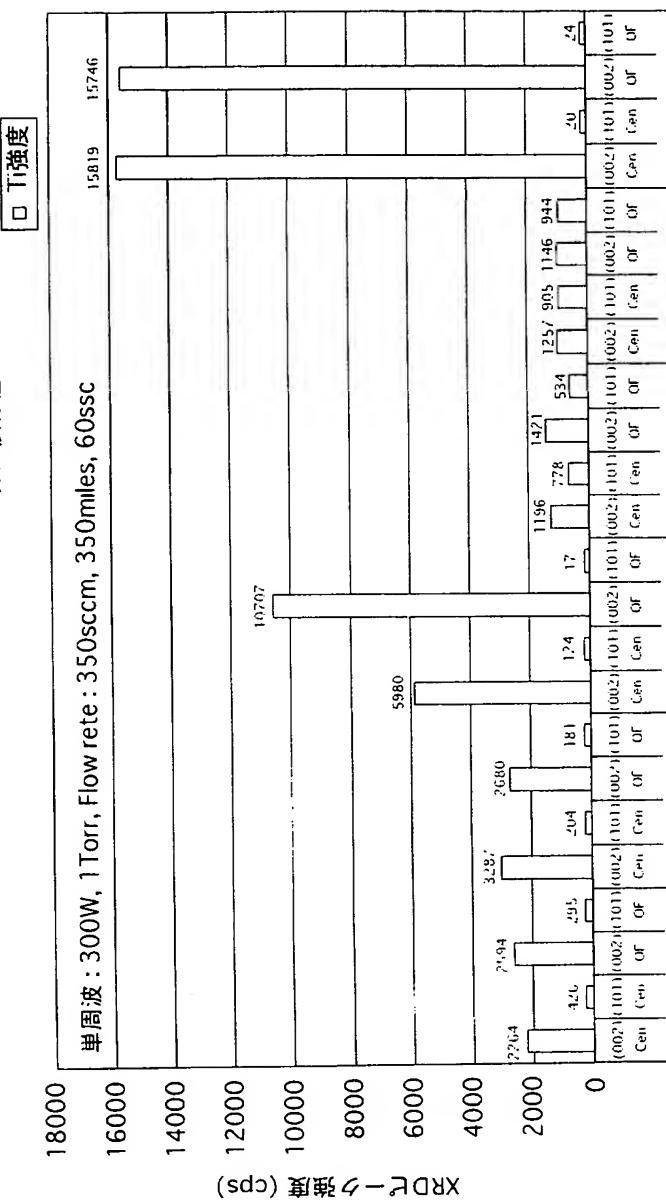
SiO₂膜に対するNH₃プラズマの有無の関係において
SiO₂膜上へ形成されたTi膜のXRDロッキングカーブ



【図19】

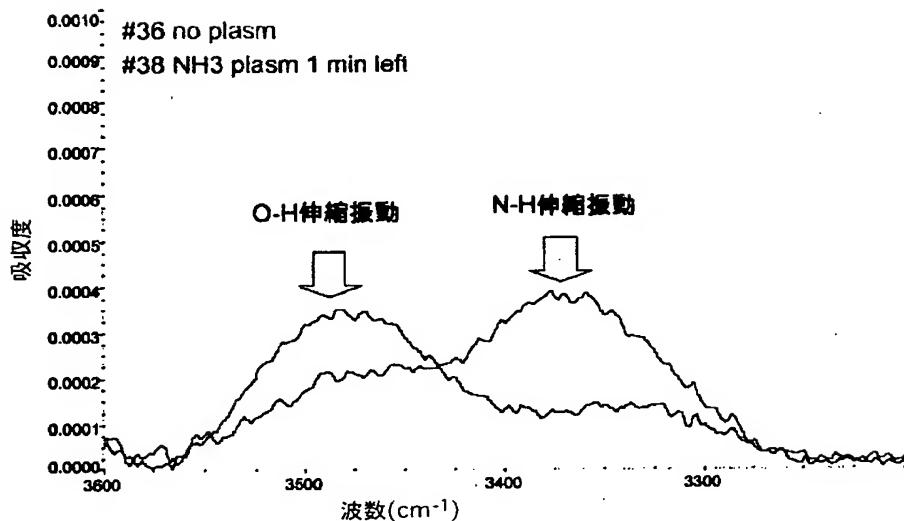
様々なガスを用いたときのTi配向強度比較

ガス依存性



【図20】

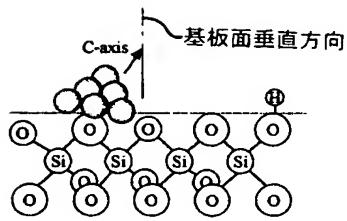
NH₃プラズマの有無によるSiO₂膜中の
元素同士の結合状態の変化



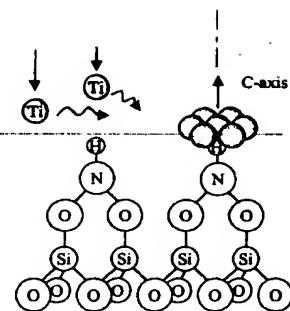
【図21】

NH₃プラズマ処理の有無によるTiの成長過程を示す原子結合モデル

(a)

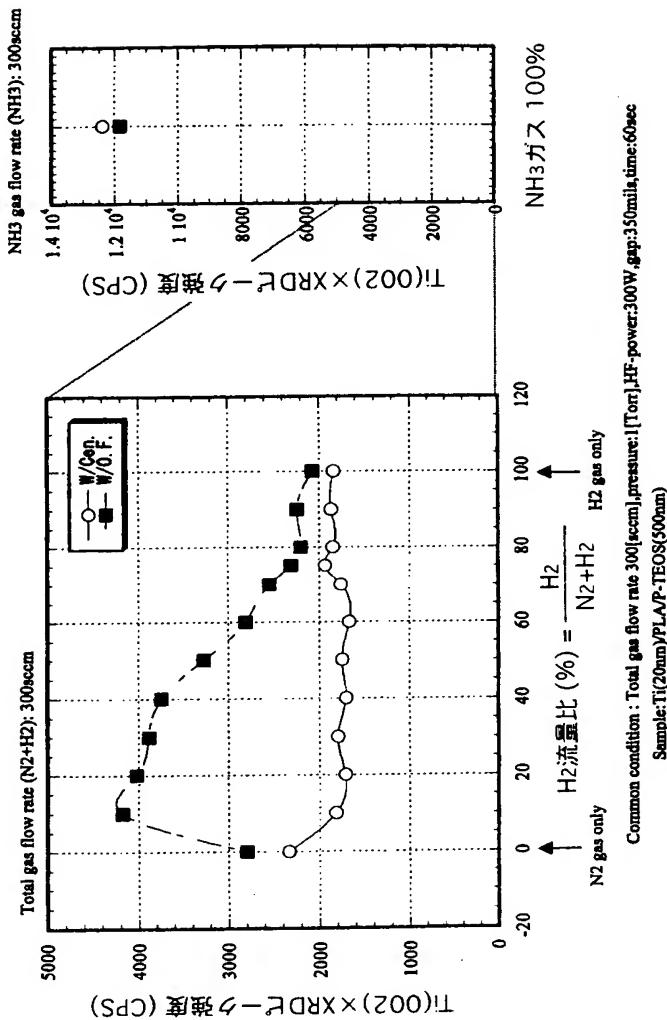


(b)



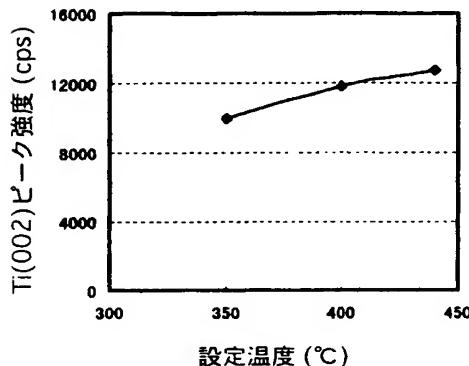
【図22】

(N₂+H₂)プラズマ処理されたSiO₂膜上のTi膜の(002)配向強度と、NH₃プラズマ処理されたSiO₂膜上のTi膜の(002)配向強度



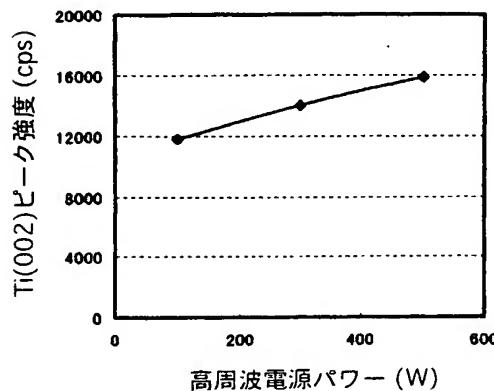
【図23】

絶縁膜のNH₃プラズマ処理時の基板温度と
その絶縁膜上のTi膜の(002)配向強度との関係



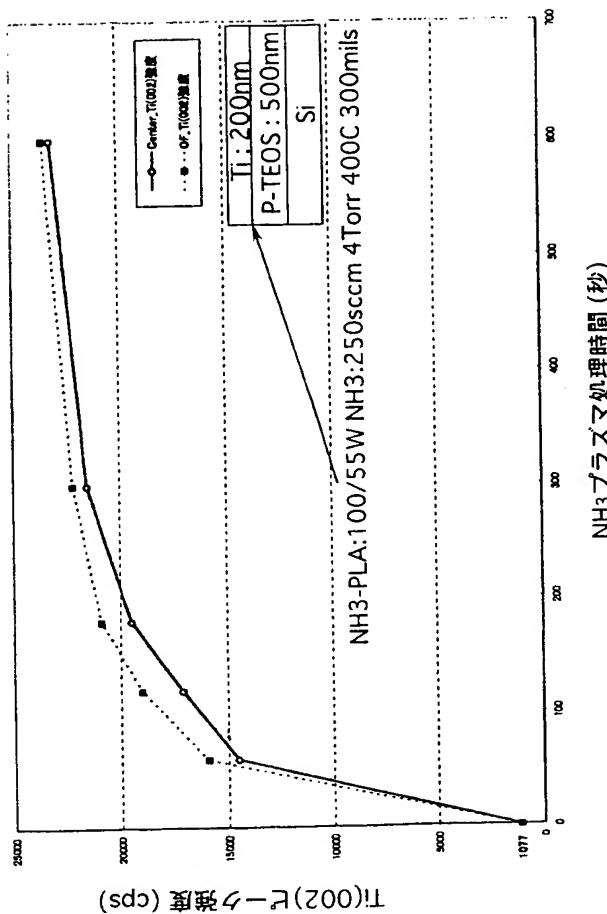
【図24】

絶縁膜のNH₃プラズマ処理時の基板パワーと
その絶縁膜上のTi膜の(002)配向強度との関係



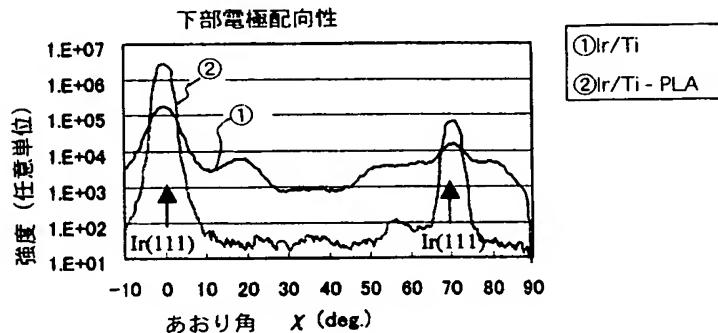
【図25】

絶縁膜のNH₃プラズマ処理時間とTi(002)配向強度との関係
絶縁膜上のTi膜のTi(002)配向強度



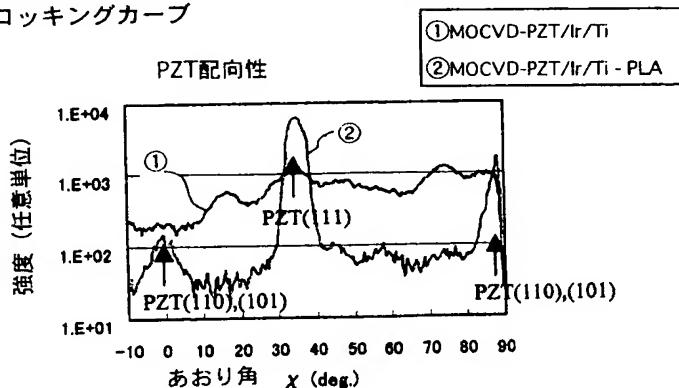
【図26】

NH₃プラズマ処理された絶縁膜上とされない絶縁膜上の
それぞれのTi膜の配向特性のロッキングカーブ



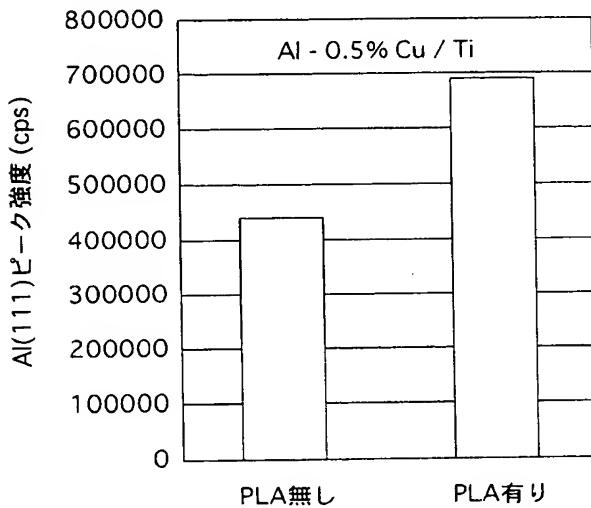
【図27】

NH₃プラズマ処理された絶縁膜上とされない絶縁膜上に
それぞれTi膜を介して形成されたPZT膜の配向性特性の
ロッキングカーブ



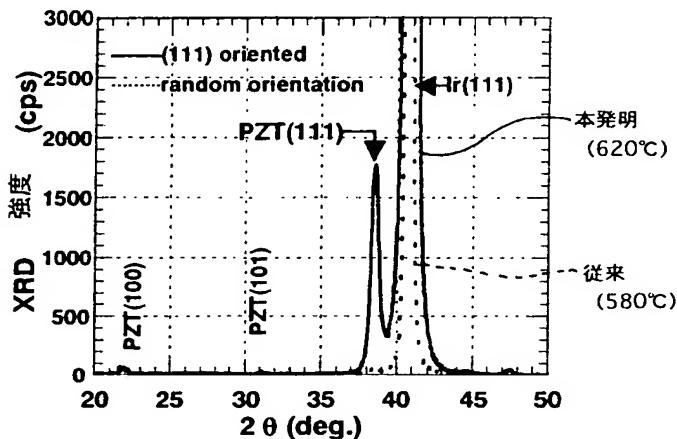
【図28】

NH₃プラズマ処理された絶縁膜とされない
絶縁膜上のAl-Cu膜SiO₂膜の(111)配向強度



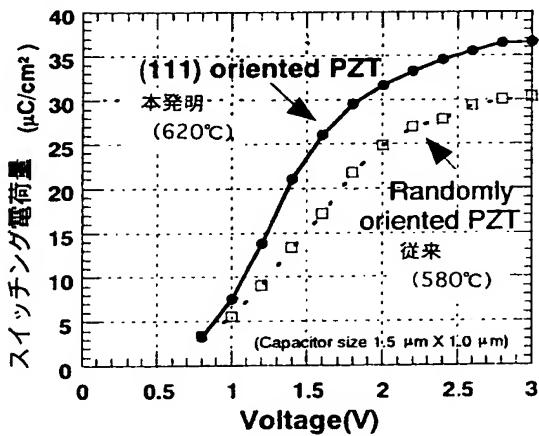
【図29】

従来方法で成膜したIr膜上のPZT膜と本発明により成膜したIr/Ti膜上のPZT膜のそれぞれのXRDプロファイル



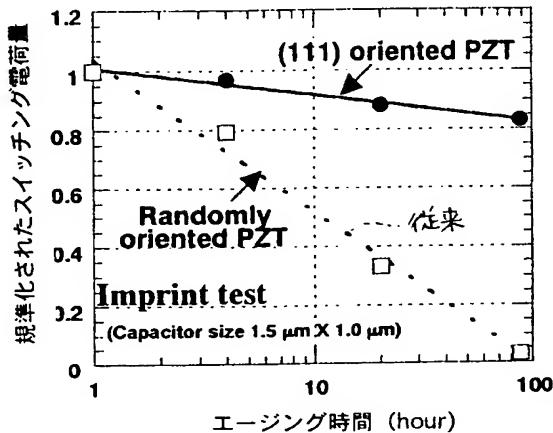
【図30】

従来方法で成膜したPZTを用いた強誘電体キャパシタと本発明により成膜したPZTを用いた強誘電体キャパシタのそれぞれの電気特性



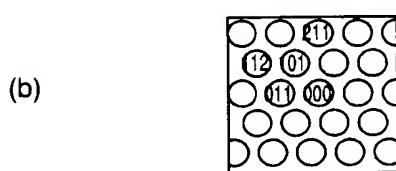
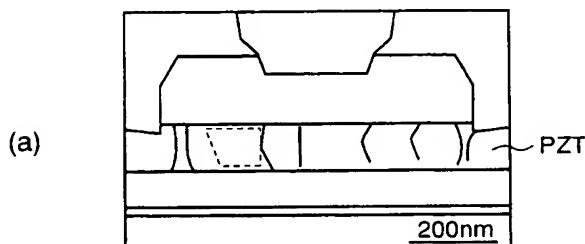
【図31】

従来方法で成膜したPZTを用いた強誘電体キャパシタと本発明で成膜したPZTを用いた強誘電体キャパシタのそれぞれのインプリント特性



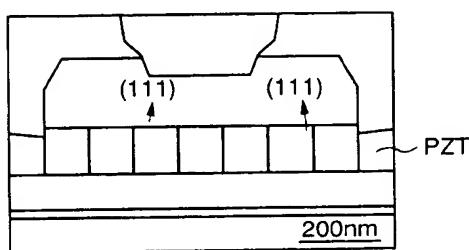
【図32】

不良ビットが発生するキャパシタの断面図と
PZT結晶の電子回折像



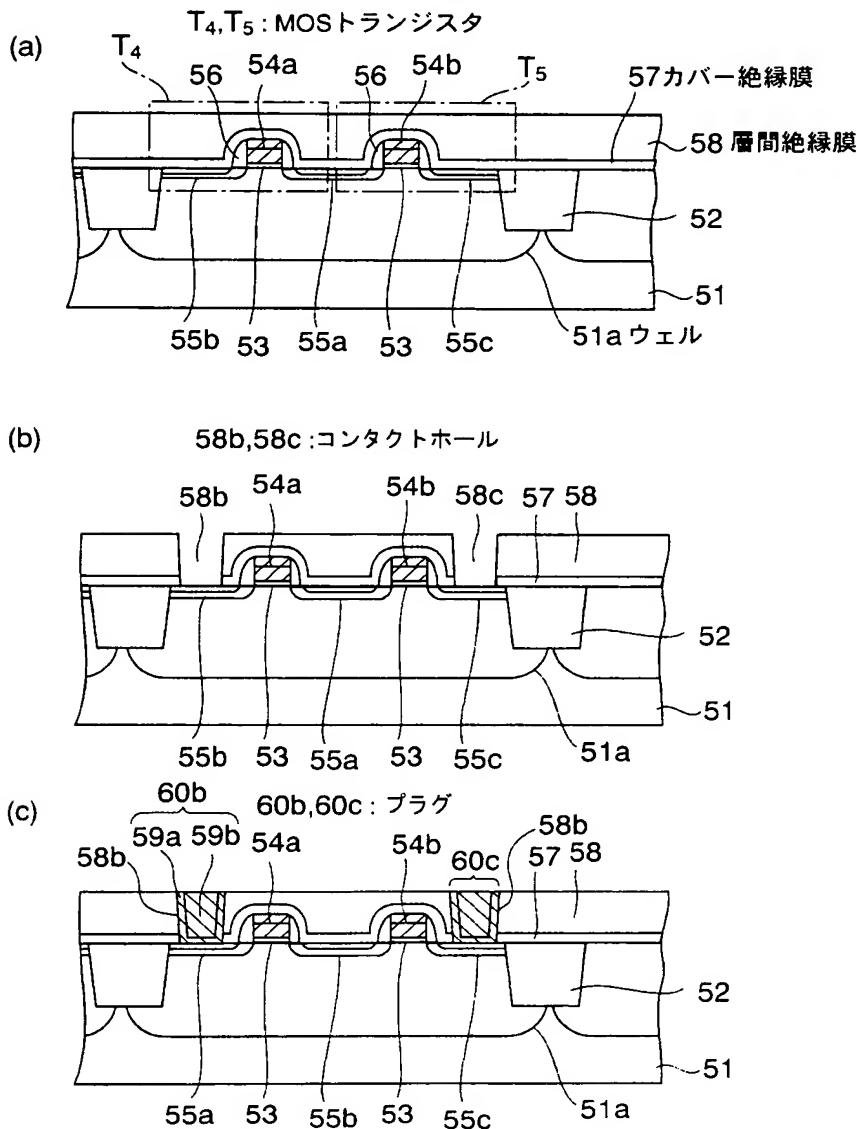
【図33】

不良ビットが発生しないキャパシタの断面図



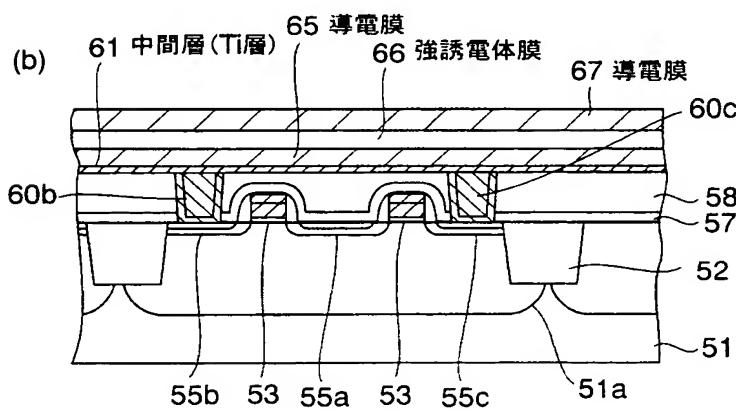
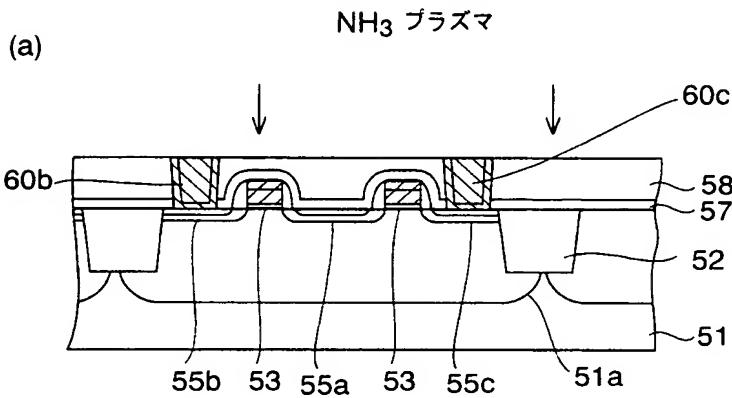
【図34】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その1）



【図35】

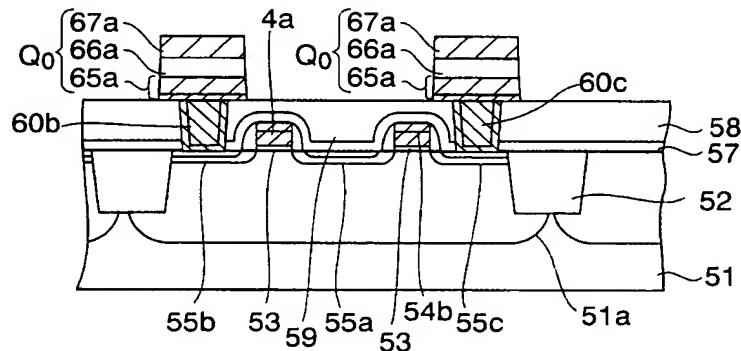
本発明の第3実施形態に係る半導体装置の形成工程断面図（その2）



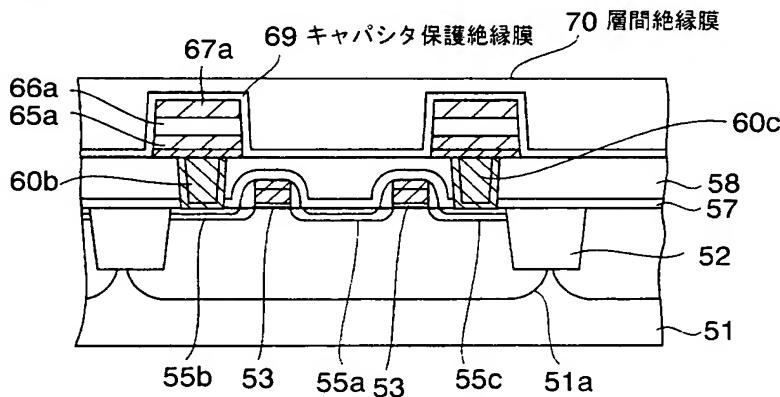
【図36】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その3）

(a)



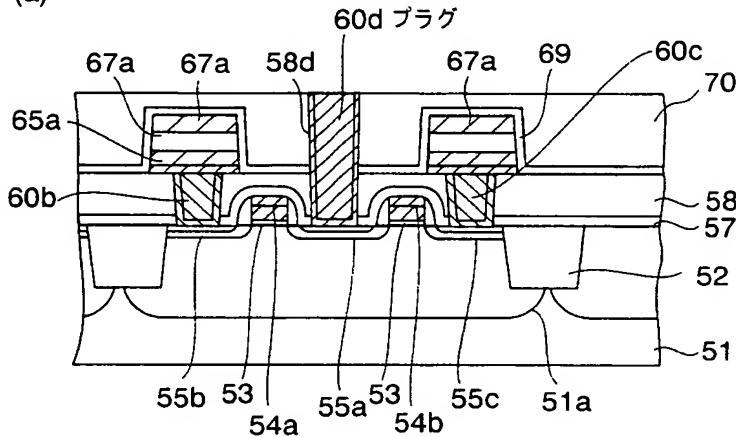
(b)



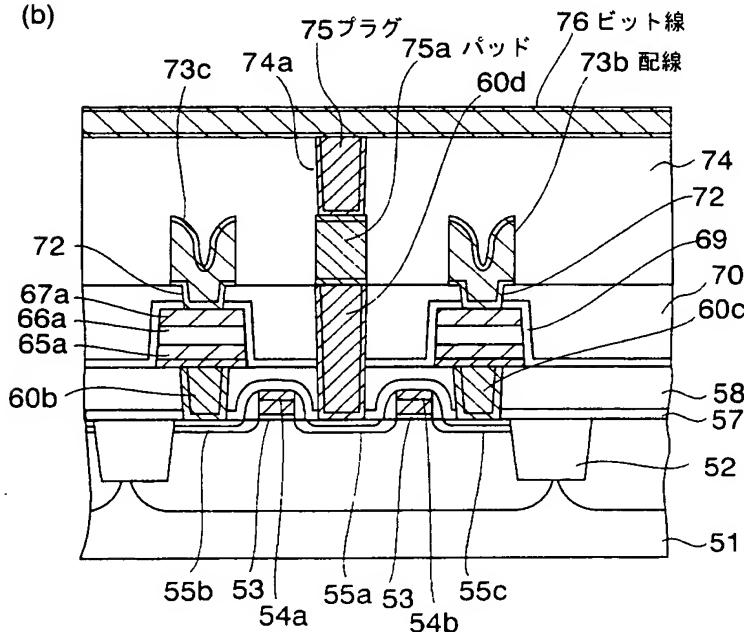
【図37】

本発明の第3実施形態に係る半導体装置の形成工程断面図（その4）

(a)

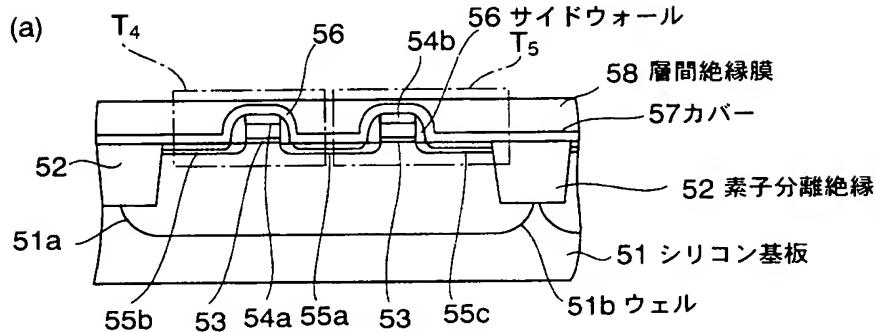


(b)

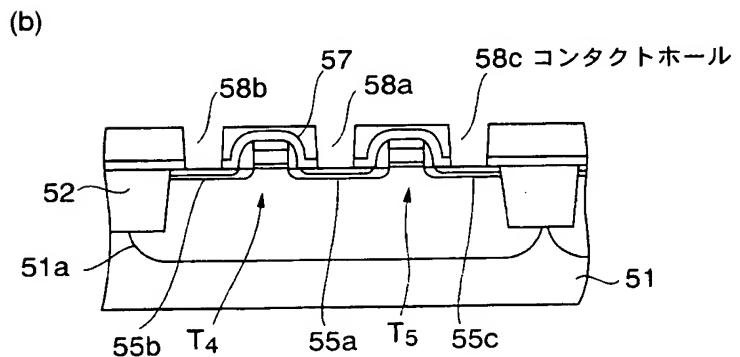


【図38】

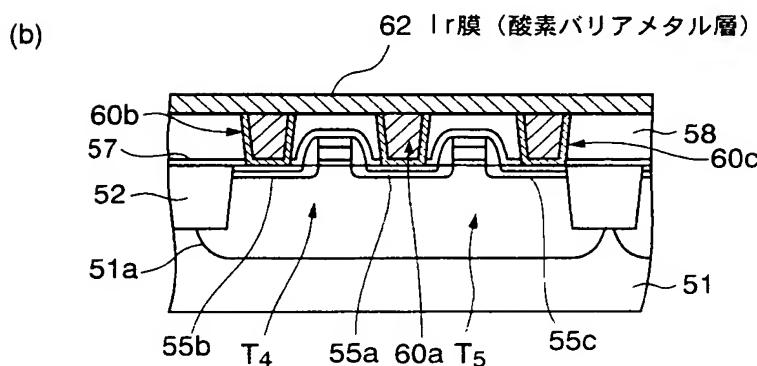
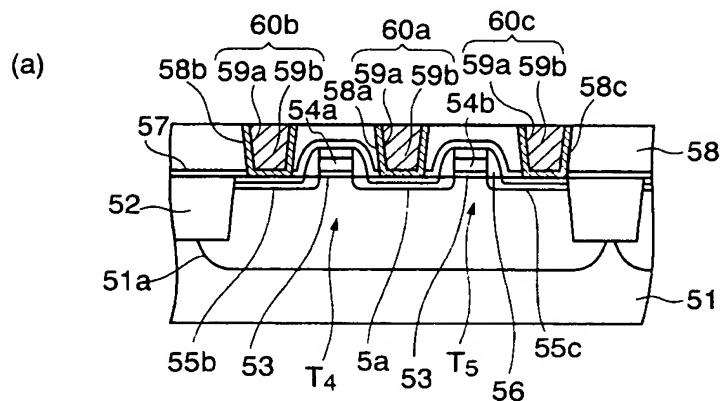
本発明の第4実施形態に係る半導体装置の
製造工程を示す断面図（その1）



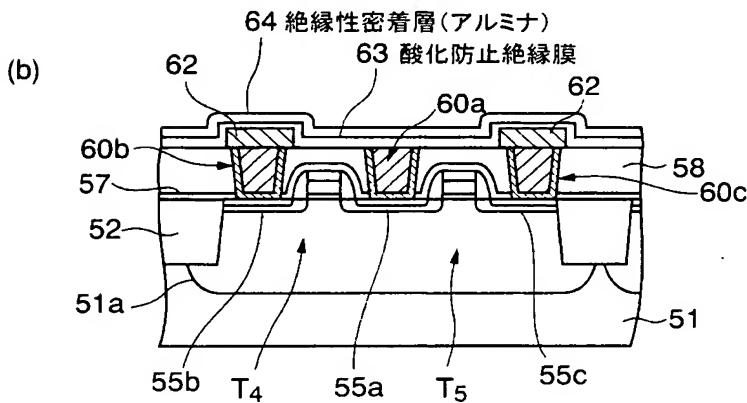
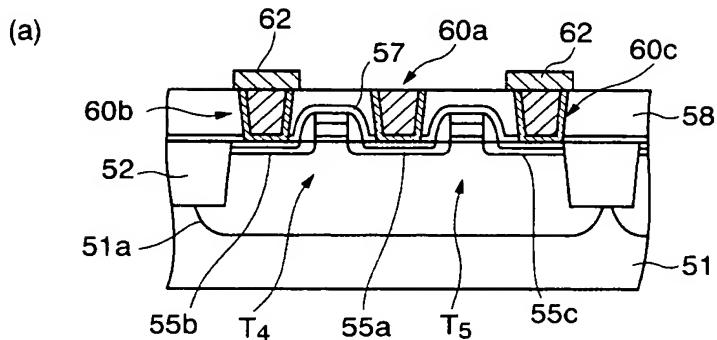
T₄, T₅ : MOSトランジスタ
53 : ゲート絶縁膜
54a, 54b : ゲート電極
55a~55c : 不純物拡散領域



【図39】

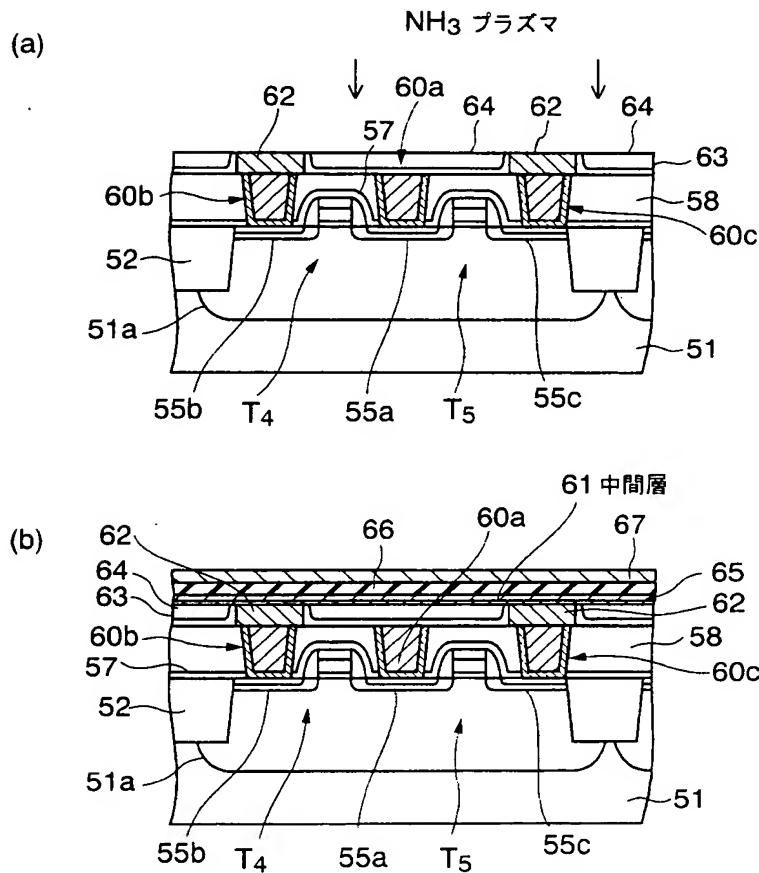
本発明の第4実施形態に係る半導体装置の
製造工程を示す断面図（その2）

【図40】

本発明の第4実施形態に係る半導体装置の
製造工程を示す断面図（その3）

【図41】

本発明の第4実施形態に係る半導体装置の製造工程を示す断面図（その4）



61 : 中間層(Ti層)

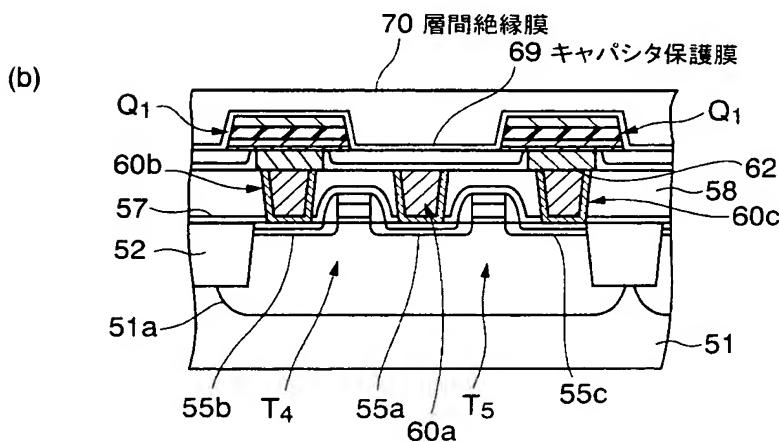
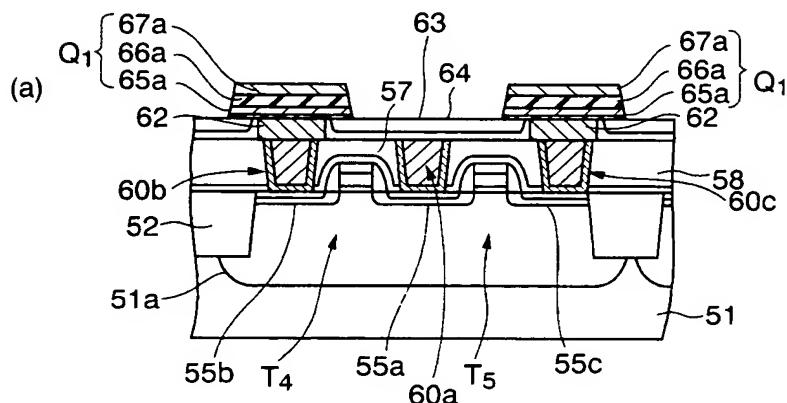
65 : 第1導電膜(Ir)

66 : 強誘電体膜(PZT)

67 : 第2導電膜(IrO_x)

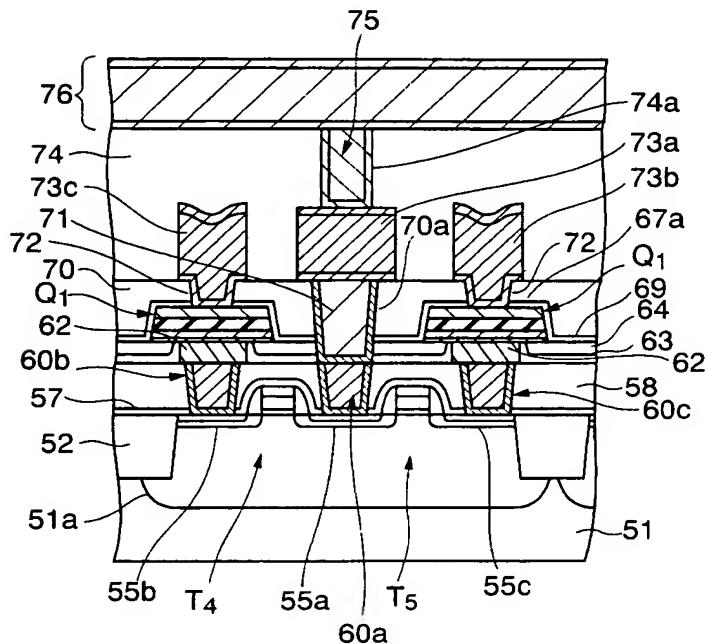
【図42】

本発明の第4実施形態に係る半導体装置の製造工程を
示す断面図（その5）



【図43】

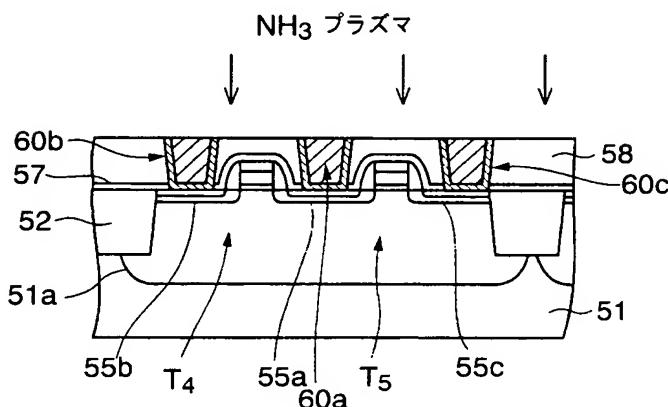
本発明の第4実施形態に係る半導体装置の製造工程を
示す断面図（その6）



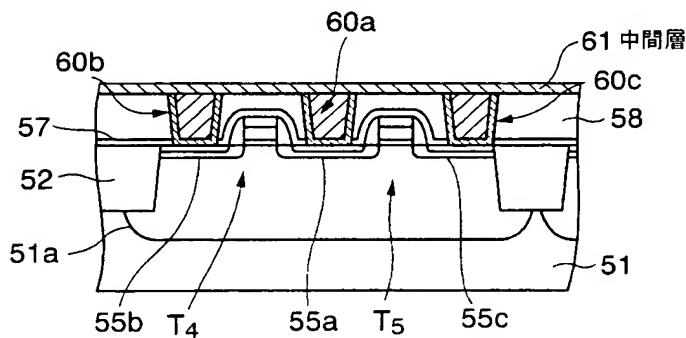
【図44】

本発明の第5実施形態に係る半導体装置の製造工程を
示す断面図（その1）

(a)

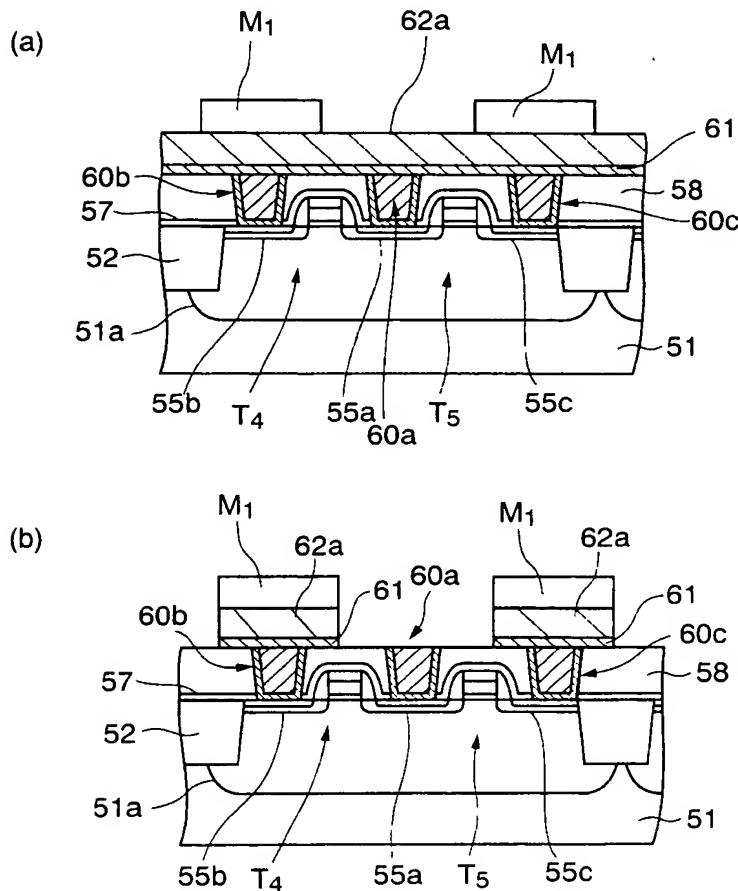


(b)



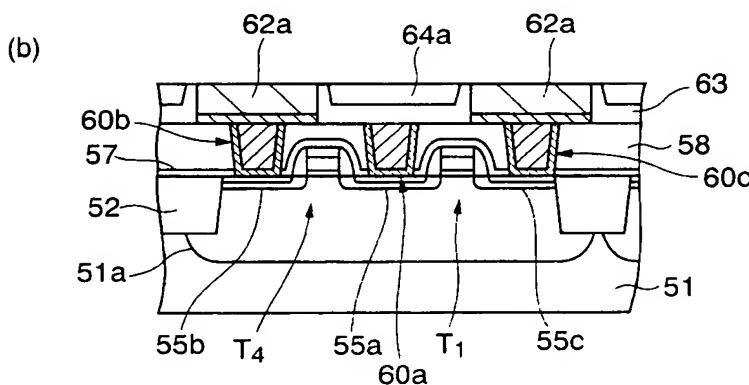
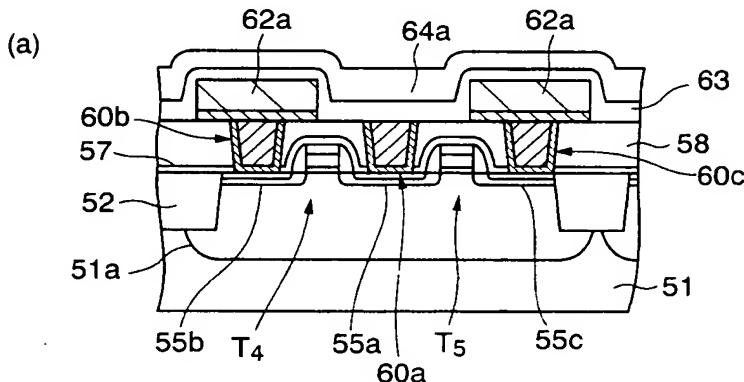
【図45】

本発明の第5実施形態に係る半導体装置の製造工程を
示す断面図（その2）



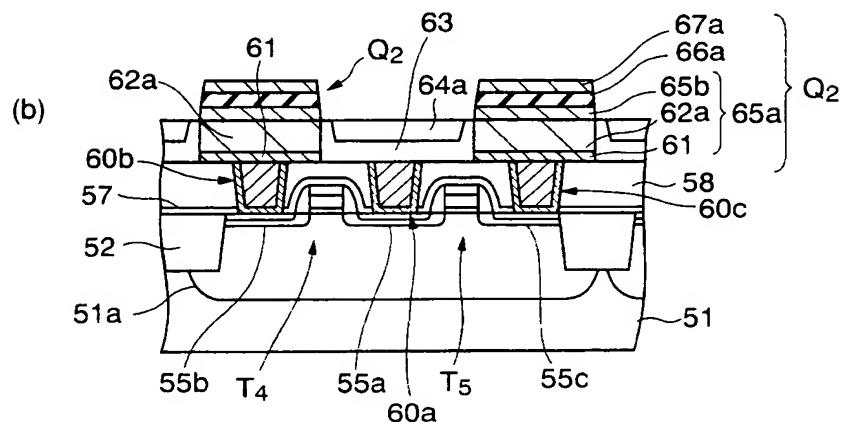
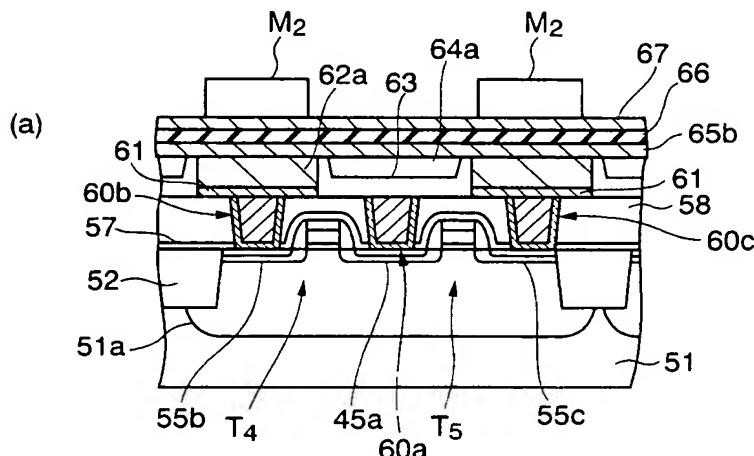
【図46】

本発明の第5実施形態に係る半導体装置の製造工程を
示す断面図（その3）



【図47】

本発明の第5実施形態に係る半導体装置の製造工程を
示す断面図（その4）



【書類名】 要約書

【要約】

【課題】 キャパシタを有する半導体装置の製造方法に関し、キャパシタ下部電極を構成する導電膜の膜質を改善して、キャパシタ下部電極の上に形成される誘電体膜の特性を良好にすること。

【解決手段】 半導体基板1の上方に絶縁膜10を形成する工程と、水素と窒素が結合した分子構造を有するガスのプラズマを励起して絶縁膜10に照射する工程と、絶縁膜10の上に自己配向性を有する物質からなる自己配向層11を形成する工程と、自己配向層11の上に自己配向性を有する導電物質からなる第1の導電膜12を形成する工程とを含む。

【選択図】 図2

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由]

住所変更
住 所 神奈川県川崎市中原区上小田中4丁目1番1号
氏 名 富士通株式会社



Creation date: 11-05-2003

Indexing Officer: ACAHSAY - AWETASH CAHSAY

Team: OIPEBackFileIndexing

Dossier: 10694748

Legal Date: 10-29-2003

No.	Doccode	Number of pages
1	TRNA	3
2	SPEC	94
3	CLM	8
4	ABST	1
5	DRW	24
6	OATH	2
7	A.PE	1
8	SPEC	8
9	REM	1
10	IDS	4
11	FRPR	99
12	WFEE	1
13	WFEE	1

Total number of pages: 247

Remarks:

Order of re-scan issued on